

1/5/9

DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

03610694 \*\*Image available\*\*  
SEMICONDUCTOR DEVICE

PUB. NO.: 03-273594 [ JP 3273594 A]  
PUBLISHED: December 04, 1991 (19911204)  
INVENTOR(s): NAKAGOME YOSHINOBU

ITO KIYOO  
TANAKA HITOSHI  
WATANABE YASUSHI  
KUME EIJI  
ISODA MASANORI  
YAMAZAKI EIJI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)  
HITACHI VLSI ENG CORP [489108] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.: 02-146283 [JP 90146283]  
FILED: June 06, 1990 (19900606)

INTL CLASS: [5] G11C-011/407; G11C-011/413; H01L-027/04; H01L-027/108  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: P, Section No. 1322, Vol. 16, No. 96, Pg. 20, March  
10, 1992 (19920310)

#### ABSTRACT

PURPOSE: To enable stable operations even with the electromotive force of a power supply voltage for only one battery by increasing a data line voltage at all times so as to use it as the power source of a word driver.

CONSTITUTION: Word line drive is executed with a voltage conversion circuit VLG, which converts the data line power supply voltage to a certain voltage higher than the data line voltage by the threshold voltage of a switch transistor in a memory cell array MA, and a static word driver VCHG to be operated with the output of the voltage conversion circuit VLG as the power source. Thus, the voltage higher than the data line voltage by the threshold voltage of the switch transistor in the memory cell array can be impressed as the word line voltage and even when the power supply voltage is lowered to about 1V, the memory operation can be made stable as well.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-273594

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月4日

G 11 C 11/407

8526-5L  
8526-5L

G 11 C 11/34

3 5 4 F  
3 3 5 A※

審査請求 未請求 請求項の数 37 (全38頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-146283

⑯ 出 願 平2(1990)6月6日

優先権主張 ⑰ 平1(1989)12月8日 ⑱ 日本(JP) ⑲ 特願 平1-317518

⑳ 発 明 者 中 込 儀 延 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 伊 藤 清 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 出 願 人 日立超エル・エス・アイ・エンジニアリング 東京都小平市上水本町5丁目20番1号

株式会社

㉔ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 第一の電源電圧(VSS)および、それよりも高い第二の電源電圧(VCC)を外部から与えて動作する半導体装置であって、第一および第二の電源電圧と異なる第三の電源電圧を発生する手段を装置上に有し、かつ該第二と第一の電源電圧の差が2V以下で動作させることを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置において、上記第三の電源電圧と第一の電源電圧の差は上記第二の電源電圧と第一の電源電圧の差の1.5倍以上であることを特徴とする半導体装置。

3. 特許請求の範囲第1項記載の半導体装置において、上記第三の電源電圧は上記第一の電源電圧と上記第二の電源電圧の中間の電圧であることを特徴とする半導体装置。

4. 第一の電源電圧(VSS)および、それよりも高い

第二の電源電圧(VCC)を外部から与えて動作する半導体装置であって、第一および第二の電源電圧と異なる第三の電源電圧と第四の電源電圧を発生する手段を装置上に有し、かつ該第二と第一の電源電圧の差が2V以下で動作し、上記第三の電源電圧と第一の電源電圧の差は上記第二の電源電圧と第一の電源電圧の差の1.5倍以上であり、上記第四の電源電圧は上記第一の電源電圧と上記第二の電源電圧の中間の電圧であることを特徴とする半導体装置。

5. 特許請求の範囲第1項から第4項のいずれかに記載の半導体装置において、入力信号電圧をMISFETのゲートへ接続し、信号線の電流に変換する電圧/電流変換手段と、その電流を出力信号電圧に再変換する電流/電圧手段を有し、少なくとも該電圧/電流変換手段の電流経路を第一導電形のMISFETで形成し、該電流/電圧変換手段の電流経路を第一導電形と相

補の第二導電形のMISFETで形成することを特徴とする半導体装置。

6. 特許請求の範囲第5項記載の半導体装置において、上記信号線の電圧は上記第一の電源電圧と上記第二の電源電圧の中間の電圧であることを特徴とする半導体装置。
7. 特許請求の範囲第6項記載の半導体装置において、上記一つの信号線に対して、複数の電圧／電流変換手段と一つの電流／電圧手段と、該複数の電圧／電流変換手段のうちの一つを信号線に接続する選択手段を有することを特徴とする半導体装置。
8. 特許請求の範囲第1項から第7項のいずれかに記載の半導体装置において、一部にダイナミックメモリを含むことを特徴とする半導体装置。
9. 特許請求の範囲第8項記載の半導体装置において、上記ダイナミックメモリは複数のデータ線対群、ワード線群及びデータ線とワード線との交点に配置されたメモリセル群とから構成さ

とデータ線との間には少なくとも1個の絶縁ゲート(MIS)形トランジスタを有し、そのトランジスタのゲートにはデータ線が接続され、そのソース側に信号線が接続されている、また入出力制御回路の書き込み動作に用いる信号線とデータ線との間には少なくとも1個の絶縁ゲート(MIS)形トランジスタを有し、そのドレイン側にデータ線が接続され、そのソース側に信号線が接続されていることを特徴とする半導体装置。

12. 特許請求の範囲第10項記載の半導体装置に於いて、読みだし用の入出力制御回路には信号線への接続を制御する制御線を有し、入出力制御回路の読みだし動作に用いる信号線と制御線の電位は、その入出力制御回路を非選択時には同じ電位に設定し、選択時には信号線を信号検出手段とし、制御線を非選択時の電位とは異なる他の電位に変化させることを特徴とする半導体装置。
13. 特許請求の範囲第9項記載の半導体装置に

れる少なくとも一つのメモリセルアレー、データ線からの情報を少なくとも2対のデータ線で共用する信号線へ読み出す、あるいは信号線からデータ線へ情報を書き込むための列アドレスで選択される入出力制御回路群を有する半導体メモリにおいて、メモリセルアレーのデータ線に接続される入出力制御回路はメモリセルアレーの左右に交互に配置され、かつ読みだし動作と書き込み動作において、データ線と入出力制御回路の信号線との伝達インピーダンスを変化させたことを特徴とする半導体装置。

10. 特許請求の範囲第9項記載の半導体装置において、入出力制御回路の伝達インピーダンスを変化させる手段としては、読みだし動作に使用する信号線と書き込み動作に使用する信号線を独立して設けたことを特徴とする半導体装置。
11. 特許請求の範囲第10項記載の半導体装置に於いて、信号線を独立して設ける手段として、入出力制御回路の読みだし動作に用いる信号線

に於いて、左右の入出力制御回路は少なくともデータ線対ピッチの2倍で配置することを特徴とする半導体装置。

14. 特許請求の範囲第9項記載の半導体装置に於いて、データ線対は一对ごとにメモリセルアレー内で交差していることを特徴とする半導体装置。
15. 特許請求の範囲第9項記載の半導体装置に於いて、該入出力制御回路のデータ線対間にデータ線と同時に形成され、かつデータ線以外の配線を配置したことを特徴とする半導体装置。
16. 特許請求の範囲第9項記載の半導体装置に於いて、メモリの動作試験時には1つの列アドレスで複数の入出力制御回路を選択できる機能を持ち、並列テストを可能にしたことを特徴とする半導体装置。
17. 特許請求の範囲第16項記載の半導体装置に於いて、読みだし用の入出力制御回路の制御線は線対であることを特徴とする半導体装置。
18. 特許請求の範囲第9項記載の半導体装置に

於いて、メモリセルからデータ線に読みだされた信号を検知増幅する手段であるセンスアンプの高電圧側の電源線の電圧レベルを任意に設定可能にできる手段を有することを特徴とする半導体装置。

19. 特許請求の範囲第8項記載の半導体装置において、上記ダイナミックメモリはチップ上に、データ線、ワード線、メモリセル、およびスイッチトランジスタから成るメモリセルアレー、上記データ線に印加する最低の動作電圧として上記スイッチトランジスタのしきい値電圧の1.5乃至2倍の電圧を与えるデータ線電源の出力と、該データ線電源電圧を基に上記ワード線に所要の電圧を出力するワードドライバとの構成を有して、上記スイッチトランジスタのゲートにワード線電圧を印加してデータ線からのデータをメモリセルに取り込むようになされた半導体集積回路において、上記データ線電源電圧を、データ線電圧より上記スイッチトランジスタのしきい値電圧分以上高い電圧に変換する電圧変

換回路と、該電圧変換回路の出力を電源として動作するスタティック型ワードドライバとを備えることを特徴とする半導体装置。

20. 上記電圧変換回路は、チャージポンプ回路と整流回路との構成を備えることを特徴とする特許請求の範囲第19項記載の半導体装置。
21. 上記チャージポンプ回路は、第1、第2、第3、第4のMOSトランジスタと第1、第2のコンデンサを含み、該第2、第3、第4のMOSトランジスタのドレインは電源に、第2のMOSトランジスタのゲートは第4のMOSトランジスタのソースに、第3のMOSトランジスタのソースは第2のMOSトランジスタのソースに、第3、第4のMOSトランジスタのゲートは電源に接続され、第1のコンデンサの1つの端子は第4のMOSトランジスタのソースに、第2のコンデンサの1つの端子は第2のMOSトランジスタのソースに接続され、該第1、第2のコンデンサの他の1端はそれぞれ逆相のパルスが入力されるようになされたチャー

ジポンプ回路において、さらに第1のMOSトランジスタのドレインを電源に、ソースを第4のMOSトランジスタのソースに、ゲートを第2のMOSトランジスタのソースに結合したことを特徴とする特許請求の範囲第20項記載の半導体装置。

22. 上記整流回路は、整流素子がMOSトランジスタにより構成され、該MOSトランジスタのドレインを入力、ソースを出力とし、該入力には上記第3項記載のチャージポンプ回路、ソースには該出力から電荷を伝達する回路とその電荷を蓄えるコンデンサおよびその電荷を電源に伝達する回路が接続され、該入力の電圧が高レベルの時は該コンデンサの1端を高レベルにして該MOSトランジスタのゲート電圧を入力電圧とMOSトランジスタのしきい値電圧の和以上にし、該入力の電圧が低レベルの時は該コンデンサの1端を低レベルにすると同時に該MOSトランジスタのゲート電圧を電源電圧にすることを特徴とする特許請求の範囲第20項

記載の半導体集積回路。

23. 上記メモリセルアレーとワードドライバと電圧変換回路に用いるMOSトランジスタのしきい値を3種類とし、メモリセルアレーのものを最も高く、ワードドライバのものを中間に、電圧変換回路のものを最も低くしたことを特徴とする特許請求の範囲第19項乃至第20項記載の半導体集積回路。

24. 特許請求の範囲第1項から第4項のいずれかに記載の半導体装置において、電圧端子間に接続したトランジスタを介して端子間電圧を分圧して出力する分圧回路と、該トランジスタのゲートにバイアス電圧を印加するバイアス回路とを含むコンプリメンタリ・プッシュプル回路を有して、電源電圧をその中間電圧に変換して負荷に出力する半導体装置において、上記中間電圧に等しい基準電圧の入力と、同一負荷に対して出力を並列接続する少なくとも二つの第一および第二のコンプリメンタリ・プッシュプル回路と、基準電流を増幅して出力するプッシュ

プル電流増幅回路とを備え、第一のコンプリメンタリ・プッシュプル回路は、そのバイアス回路に、上記基準電圧の入力と該入力に付加するバイアス電圧源を備え、かつ該電流増幅回路の出力端を上記第二のコンプリメンタリ・プッシュプル回路のバイアス回路に接続することを特徴とする半導体装置。

25. 上記第一および第二のコンプリメンタリ・プッシュプル回路のバイアス電圧は、該電圧を印加する該プッシュプル回路のトランジスタのゲートしきい値電圧にほぼ等しい電圧であることを特徴とする請求項24記載の半導体装置。
26. 上記電流増幅回路はカレントミラー型のプッシュプル増幅回路であることを特徴とする請求項1あるいは請求項25記載の半導体装置。
27. 上記第一および第二のコンプリメンタリ・プッシュプル回路を電界効果トランジスタにより構成することを特徴とする請求項24乃至請

に上記トライステート駆動回路は、上記入力の電圧よりも低い第一の判定電圧と上記入力の電圧よりも高い第二の判定電圧とを備え、出力電圧が第一の判定電圧よりも低いときには出力を充電し、出力電圧が第二の判定電圧よりも高いときには出力を放電する手段を備えることを特徴とする半導体装置。

29. 上記第一および第二のコンプリメンタリ・プッシュプル回路のバイアス電圧は、該電圧を印加する該プッシュプル回路のトランジスタのゲートしきい値電圧にほぼ等しい電圧であることを特徴とする請求項28記載の半導体装置。
30. 上記電流増幅回路はカレントミラー型のプッシュプル増幅回路であることを特徴とする請求項5あるいは請求項29記載の半導体装置。
31. 上記第一および第二のコンプリメンタリ・プッシュプル回路を電界効果トランジスタにより構成することを特徴とする請求項28乃至請求項30の何れかに記載の半導体装置。
32. 上記の入力および出力の電圧は電源電圧の

求項26の何れかに記載の半導体装置。

28. 電圧端子間に接続したトランジスタを介して端子間電圧を分圧して出力する分圧回路と、該トランジスタのゲートにバイアス電圧を印加するバイアス回路とを含むコンプリメンタリ・プッシュプル回路を有して、電源電圧をその中間電圧に変換して負荷に出力する半導体装置において、上記中間電圧に等しい基準電圧の入力と、同一負荷に対して出力を並列接続する少なくとも二つの第一および第二のコンプリメンタリ・プッシュプル回路およびトライステート駆動回路と、基準電流を増幅して出力するプッシュプル電流増幅回路とを備え、第一のコンプリメンタリ・プッシュプル回路は、そのバイアス回路に、上記基準電圧の入力と該入力に付加するバイアス電圧源を備え、かつ該電流増幅回路の出力端を上記第二のコンプリメンタリ・プッシュプル回路のバイアス回路に接続すること、さら

二分の一であることを特徴とする請求項24乃至請求項31の何れかに記載の半導体装置。

33. 複数の同種のブロックを少なくとも含み、動作時においては、ブロック選択信号によって選択した一つまたは複数のブロックを動作状態にする集積回路(LSI)と、ブロックを負荷として電圧供給し駆動する手段を有する半導体装置において、ブロックを駆動する上記駆動手段として、第一および第二の駆動回路と、各ブロック毎に設けられ動作状態にあるブロックを第一の駆動回路に、非動作状態にあるブロックを第二の駆動回路に、それぞれ接続する切換手段とを備えることを特徴とする半導体装置。
34. 上記集積回路がダイナミックメモリであることを特徴とする請求項33記載の半導体装置。
35. 上記ブロックはメモリセルアレーを少なくとも含み、かつ上記負荷としてはメモリセル蓄積容量の対向電極およびメモリセルから信号検知回路に信号を伝達するデータ線のプリチャージ電圧供給線とを少なくとも含むことを特徴

とする請求項34に記載の半導体装置。

36. 上記駆動回路は電源電圧の二分の一の電圧を発生する手段であることを特徴とする請求項35に記載の半導体装置。

37. 上記駆動回路が請求項24乃至請求項32の何れかに記載の装置であることを特徴とする請求項36記載の半導体装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は半導体装置、特に微細素子で構成され、電池動作可能な半導体集積回路に好適な低電圧で動作する高速、高集積の半導体装置に関する。

#### (従来の技術)

半導体集積回路(LSI=Large Scale Integration)の集積度向上は、その構成素子であるMOSトランジスタの微細化により進められてきた。素子の寸法が0.5ミクロン以下のいわゆるディープサブミクロンLSIになると、素子の耐圧の低下とともにLSIの消費する電力の増大が問題になってくる。このような問題に対して

である。集積度の向上にしたがって、外部電源電圧はさらに低下する可能性がある。

また近年、可搬型電子機器の普及に伴い、電池動作や、電池での情報保持が可能な低電圧・低消費電力のLSIに対する需要が高まってきている。このような用途に対しては、最小1〜1.5Vで動作するLSIが必要とされる。特に、ダイナミックメモリの場合、その集積度は既にメガビット級に達しており、従来では磁気ディスク装置しか使用できなかった大容量記憶装置の分野にもその半導体メモリを利用しようという動きがでてきている。そのためには、電源をきってもデータが消えないよう電池でバックアップする必要がある。このバックアップの期間は、通常数週間から数年間保証する必要がある。このため、メモリの消費電流は極力小さくする必要がある。低電力化のためには、動作電圧を低減することが有効であるが、これを1.5V近辺とすればバックアップ用電源としては乾電池1個で済むためコストも安くまた占有スペースも小さくなる。

は、素子の微細化にともなって動作電源電圧を低下させることが有効な手段であると考えられる。現在のLSIの電源電圧としては5Vが主流であるため、微細な素子でLSIを構成する手段として、LSIチップ上に外部電源電圧を降圧する電圧変換回路を搭載する技術が、アイ・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、第21巻、第5号、第605〜第611頁(1986)(IEEE Journal of Solid-State Circuits, vol.21, No.5, pp.605-611, October 1986)において論じられている。この場合の外部電源電圧と内部電源電圧の値は、それぞれ5Vと3.5Vである。このように、LSIの中でも最高集積度のダイナミックRAM(DRAM=Dynamic Random Access Memory)で消費電力の問題が顕在化しつつある。こうした傾向に合わせて、LSIの外部電圧そのものを下げようという動きもある。例えば、0.3ミクロンの加工技術を用いる64メガビットDRAMでは外部電源電圧は3.3V程度に低下される予定

インバータや各種デジタル論理回路だけから構成されるCMOS(Complementary MOS)LSI、例えばプロセッサなどにおいては、電源電圧を1.5V程度まで低下させても、MOSトランジスタの定数としきい値電圧さえ適切に選べば、大幅な性能低下を招くことなく、1.5V程度の低い電源電圧で動作させることが可能である。しかしながら、外部電源電圧(VCCまたはVSS)の他に、それらの中間電圧やそれらの電位を越えた電圧をLSI上で発生させ、それを動作に用いるLSIでは、電源電圧の低下は、決定的な性能低下をもたらしていた。こうしたLSIの代表がDRAMである。したがって、プロセッサやメモリなどの複数種類のLSIで、低電圧で動作する情報機器を構成する場合には、DRAMに代表されるように、LSI上で電源電圧以外の電圧を発生して動作に用いるLSIの低電圧動作が必須である。

DRAMを低電圧で動作させた場合、主に従来用いられていた以下の3つで問題が生じる。

- (1) メモリセルから読出された微小な信号を読出す回路。
- (2) メモリセルを構成するMOSトランジスタを十分高い導通状態にして、損失無く信号を伝達するために必要なワード線駆動用高電圧を発生する回路。
- (3) メモリセル蓄積容量のプレート電極、さらにはメモリセルからの読み出し信号の検出に際する参照電圧となる中間電圧( $V_{CC}/2$ )を発生する回路。

これらの従来例を、以下順に説明する。

(1) については以下のとおりである。LSIの高集積化、大規模化にともなう、信号配線の寄生容量が増大するため、動作速度が低下するという問題が顕現化しつつある。ダイナミック・メモリの場合には、各メモリセルからデータ線上に読み出された微小な信号をセンスアンプにより増幅する速度、および、選択されたデータ線から情報を読み出す入出力制御線(コモンI/O線)の動作速度が、メモリ全体の動作速度の大きな割合

CIRCUITS, VOL. 21, NO. 3, JUNE 1986, pp. 381-387に示されている。

(3) についての従来例は以下のとおりである。データ線を $V_{CC}/2$ 電圧にプリチャージするDRAM方式は、高速性、低消費電力、耐雑音性といった特徴によって、CMOS回路とともに1メガビット以降のDRAMの主流になっている。この $V_{CC}/2$ 電圧を発生させる従来の中間電圧発生回路の例は、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、第21巻、第5号、第643～第648頁(1986)(IEEE Journal of Solid-State Circuits, vol. 21, No. 5, pp. 643-648, October 1986)に述べられている

〔発明が解決しようとする課題〕

以上の従来例に対して、本発明が解決しようとする課題は以下のとおりである。

まず(1)の従来例については以下のとおりである。従来方式の例を第2図(a)および(c)

を占めており、これらを高速化する技術がメモリの性能向上のために不可欠である。従来の入出力制御回路としては、たとえばアイ・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、エス・シー22

(1987年)第663頁から第667頁(IEEE, Journal of Solid-State Circuits, Vol. 22, No. 5, October, 1987, pp. 663-667)において述べられているように、2つのMIS(Metal Insulator Semiconductor)型のFET(Field Effect Transistor)を用い、選択信号をそれらのゲート電極に印加して、データ線対とコモンI/O線対との接続を制御する方式が一般的であった。

(2) についての従来例を第9図に示す。これはDRAMのメモリセルアレー(MA)とワードドライバ(WD)関連の回路を示したものである。また、第10図は各部の波形を示している。この回路は、例えばIEEE JOURNAL OF SOLID-STATE

に示す。この方式では必要最低限の数のトランジスタで構成できるため、メモリ全体の面積低減には有効であるが、一方、以下のような欠点がある。(a) データ線(D0,  $\overline{D0}$ )の信号電圧が十分に増幅されないうちにI/O制御用のMIS-FET(T50, T51)を導通状態にすると、センスアンプSA0の動作が阻害されて誤動作を起こす。

(b) 上記理由により、センスアンプが動作してから選択信号Y01を投入して上記MIS-FETを導通させるまでに時間遅れ(タイミング・マージン)を置く必要が生じ、動作速度の低下をきたす(第2図(c))。

(c) このような誤動作を防ぐために、上記MIS-FETのチャネルコンダクタンス(ドレイン・ソース間の導電率)とセンスアンプを構成するMIS-FETのチャネルコンダクタンスの比には、設計上の制約が発生する。一般的には、前者を後者よりも小さくする必要があり、コモ

ンI/O線(100, 100)の駆動能力を大きくとることが難しい。そのため、(b)に加え、さらに動作速度が低下する。

(d) メモリの集積度向上に伴って、消費電力低減、および素子の耐圧低下に対処するため、内部電源電圧は低下する傾向にある。したがって、上記MIS-FETの駆動能力がさらに低下し、より動作速度が低下する。

(e) 主に、上記(e)の理由により、ひとつのコモンI/O線と、それにつながる複数のデータ線との間で、並列に書き込み、あるいは読み出しを行うことが難しく、並列度など、テスト機能の面で制約を受ける。

これらのため、従来の入出力回路方式では、低電圧でも高速に動作する高集積メモリに適した回路方式を提供することができなかつた。

次に、(2)の従来例については以下のとおりである。第9図に示すようにワードドライバはトランジスタQD、QTから構成される。ここでX

デコード出力N1がHighレベル(VL)になるとQTを通してQDのゲートN2が充電されQDがオン状態となる。このとき、N2の電圧は $V_L - V_T$ となる。次に周辺回路FXで作られたワード線駆動信号 $\phi X$ (振幅は $V_L + V_T$ 以上)がHighレベルになるとQDのドレインからソースに電流が流れワード線WをHighレベルにする。このときQTのゲートとN1の間の電位差は0、N2とはV<sub>t</sub>であるからQTはカットオフ状態となっている。従って、 $\phi X$ が上昇するときN2の電圧はQDのゲート、ソース間容量によるカップリングで $\phi X$ と共に上昇する。ここで、 $\phi X$ が最大値に達したときQDのゲート、ソース間電圧が $V_T$ 以上なら、ワード線の電圧は $\phi X$ と等しくなる。一方、 $\phi X$ が上昇していく途中でそれが $V_T$ 以下となった場合は、QDのゲート、ソース間容量が0となるのでその時点でN2の上昇はとまり、第4図に示すように $V_L - V_T + \alpha$   
( $V_L - 2V_T$ ) / (1 -  $\alpha$ )となる。またワード線の電圧は $(V_{OL} - 2V_T) / (1 - \alpha)$ とな

る。ここで、 $\alpha$ はQDのゲート容量とノードN2の全容量の比である。

ここで、VLが電池の消耗で1.1Vまで低下した場合を考える。 $\alpha = 0.9$ 、 $V_T = 0.5$ (V)とすれば上式よりN2の電圧は1.5Vとなる。従って、ワード線の電圧は1.0Vまでしか上昇しない。通常、メモリセルのスイッチトランジスタQSのしきい値電圧は周辺回路のそれよりも高く0.5V以上になるのでメモリセルに蓄えられる電荷量は最大値( $C_S \times 1.1$ )の半分以下の( $C_S \times 0.5$ )となりソフトエラー耐性、センスアンプのS/Nの著しい低下が生ずる。すなわち、保存データの破壊が起こりやすくなる。

以上のように、DRAMを従来の技術で電池動作させようとした場合、電池の起電力がMOSTランジスタのしきい値電圧 $V_T$ の2倍近くにまで低下すると、ワードドライバの動作不良によりメモリセルへの書き込み電圧が低下してデータの破壊が起こりやすくなるという問題があり、その解決を要する課題があった。

また、(3)に関して、低電圧化と高集積化により、従来の中間電圧発生回路では以下の二つの問題が生じる。(a) 電源電圧の低下に伴い、電圧設定精度が低下し、信号対雑音(S/N)比が悪化する。

(b) 素子がソース・フォロウ・モードで動作するので応答速度がトランジスタの駆動能力と負荷容量の値で決まることになり、このため、高集積化による負荷容量の増大と、さらには低電圧化による素子の駆動能力の低下により、応答速度が遅くなる。

第19図はDRAM用中間電圧発生回路の従来例を示すものである。以下、第19図を用いて上記の問題点を説明する。第19図において、TN5、TN6はNチャンネルのMIS型FET、TP5、TP6はPチャンネルのMIS型FET、R1、R2は抵抗、CLは負荷容量である。第19図の回路は一種のコンプリメンタリ・ブッシュアップ回路で、TN6とTP6は電源電圧VCC(VSSは接地電位とする)をHVCの中間電圧



に分圧する分圧回路を構成し、これらのゲートにバイアス電圧を与えるためのTN5とTP5がバイアス回路を構成している。VCC/2プリチャージ方式のDRAMにおいては、負荷容量は全データ線容量にほぼ等しく、4メガビットDRAMでは5~10nF(ナノ・ファラッド)、16メガビットDRAMでは20~40nF、64メガビットDRAMでは80~160nF程度の値である。この回路においては、各FETに微小な電流を常時流すことによって、出力が一定の電圧になるように安定化される。電流が微小であれば、端子20と端子22の電圧差すなわちV(20)-V(22)はほぼFET TN5のしきい値電圧VTNに、また端子22と端子21の電圧差すなわちV(22)-V(21)はほぼFET TP5のしきい値電圧の絶対値VTPに等しくなる。また、FET TN6およびTP6のゲート幅対ゲート長比 W/Lは、それぞれTN5およびTP5のW/Lの数倍から数10倍になるように選ばれる。したがって、TN6のバイアス電流

はTN5のバイアス電流の数倍から数10倍になる。

はじめに第一の問題点について説明する。今、FET対TN5とTN6、およびTP5とTP6の間の素子特性(例えば、しきい値電圧、単位ゲート幅あたりのチャネル・コンダクタンス等)に差が無いと仮定すると、出力HVCには、端子22の電圧に等しい電圧が得られる。出力電圧の

$$V(HVC) = \frac{R2}{R1+R2} VCC - \frac{R2}{R1+R2} VTN + \frac{R1}{R1+R2} VTP$$

と表される。ここでVSSは接地電位にあるとする。標準条件下ではVTNとVTPの値がほぼ等しく、

R1 = R2 となるように設計すると、

$$V(HVC) = \frac{1}{2} VCC - \frac{1}{2} VTN + \frac{1}{2} VTP$$

すなわち、VTNとVTPの値の差がVCCの値に比べて無視できる場合には

$$V(HVC) \approx \frac{1}{2} VCC$$

となる。一般に、素子のしきい値電圧のばらつきは、高集積化によっても小さくならず、一定であると考えられるため、VCCを低くするにしたがって、V(HVC)の設定精度は低下する。例えば、VTNとVTPがそれぞれ標準値に対して±0.1V変動すると仮定すると、電源電圧が5V(HVCが2.5V)のときには、中間電圧の変動は約±4%であるのに対して、電源電圧が1.5V(HVCが0.75V)のときには、中間電圧の変動は約±13%に達し、メモリの安定な動作に支障がでる。

次に、第二の問題点について説明する。負荷の充放電に際し、出力のMISFETは飽和領域で動作するため、そのドレイン電流IDは

$$ID = \frac{\beta}{2} (VGS - VT)^2$$

と表される。ここに、VGSはゲート・ソース間電圧、VTはMISFETのゲートしきい値電圧、βは素子の構造や寸法によって決まる定数である。今、従来回路において負荷(負荷容量=CL)の

電圧を0Vから中間電圧VCC/2の90%まで立ち上げるのに要する時間

t<sub>r</sub>は

$$t_r = \frac{1.8 CL}{\beta} \times \frac{1}{VCC/2}$$

と表される。一つのデータ線に接続されるメモリのセルの数を256、一つのデータ線あたりの野量値を0.5pFと仮定する。メモリの高集積化に伴ってこれらの値はほぼ一定であるから、負荷容量の値は世代毎に4倍ずつ大きくなる。例えば、4メガビットDRAMではCL≒8.2nF、16メガビットではCL≒33nF、64メガビットではCL≒131nFとなる。これに対して、電源電圧が5V→3.3V→1.5Vと世代毎に低下すると、MISFETのβが10mA/V<sup>2</sup>で一定の場合、立ち上がり時間t<sub>r</sub>は5.9μs→36μs→314μsと世代毎に約10倍ずつ増えることになる。応答速度を一定に保つためには、MISFETのβを世代毎に10倍にしていくなければならないが、レイアウト面積の増大や、定常電流

の増大を招くという副作用があるため、実際には立上り時間 $t_r$ を一定に保つのは不可能である。

以上述べた従来の問題を解決し、低電圧でも高速に、かつ安定に動作する半導体装置を提供することが本発明の目的である。より具体的には以下の3つを目的としている。

(1) 低電圧でも高速に動作し、かつ動作安定性に優れ、さらには並列テスト機能を併せ持った、超高集積のメモリの入出力制御回路の方式を提供すること。

(2) 電池の起電力が低下してもデータ破壊が生じないように、充分に高いワード線電圧を発生することができる回路を提供すること。

(3) 高集積、低電源電圧のLSIにおいても高精度で、かつ高速に動作する電圧供給回路(電圧フォロウ)を提供すること。

〔課題を解決するための手段〕

前述した(1)の目的を達成するため、データ線からの情報の読み出し、あるいは、データ線への情報の書き込みを行う入出力制御回路を、メモリ

アレーの左右に交互に配置し、かつ、コモンI/O線をとデータ線の間の伝達インピーダンスを、情報の読み出し時と書き込み時とで変化させるような回路構成とした。また、読み出し線(R<sub>O</sub>線)の信号を検出するセンス回路として、選択用のMISFETと相補のMISFETによる電流電圧変換手段を設けた。本手段は、低電圧でも高速に動作するようにするためのものである。

また(2)の目的を達成するため、特許請求の範囲に記載のように、次の手段を講じた。すなわち、

(a) メモリセルアレーとデータ線に印加する最低の動作電圧としてメモリセルアレーのスイッチトランジスタのしきい値電圧の1.5乃至2倍の電圧をデータ線に与えるデータ線電源の出力とワードドライバとを有する半導体集積回路において、データ線電源電圧を、データ線電圧よりメモリセルアレーのスイッチトランジスタのしきい値電圧分以上高い電圧に変換する電圧変換回路と、該電圧変換回路の出力を電源として動作するスタティ

ック型ワードドライバとを備えてワード線駆動をすることとした。

(b) 上記第1項の手段の電圧変換回路は、チャージポンプ回路と整流回路との構成を備えることとした。

(c) 上記第2項の手段におけるチャージポンプ回路は、第1、第2、第3、第4のMOSトランジスタと第1、第2のコンデンサを含み、該第2、第3、第4のMOSトランジスタのドレインは電源に、第2のMOSトランジスタのゲートは第4のMOSトランジスタのソースに、第3のMOSトランジスタのソースは第2のMOSトランジスタのソースに、第3、第4のMOSトランジスタのゲートは電源に接続され、第1のコンデンサの1つの端子は第4のMOSトランジスタのソースに、第2のコンデンサの1つの端子は第2のMOSトランジスタのソースに接続され、該第1、第2のコンデンサの他の1端はそれぞれ逆相のパルスが入力されるようになされたチャージポンプ回路において、さらに第1のMOSトランジスタ

のドレインを電源に、ソースを第4のMOSトランジスタのソースに、ゲートを第2のMOSトランジスタのソースに結合することとした。

本手段は低電源電圧でもチャージポンプ回路の立ち上げを一層速め、またその出力電圧を一層高くするものである。

(d) 上記第2項の手段における整流回路は、整流素子がMOSトランジスタにより構成され、該MOSトランジスタのドレインを入力、ソースを出力とし、該入力には上記第3項記載のチャージポンプ回路、ソースには該出力から電荷を伝達する回路とその電荷を蓄えるコンデンサおよびその電荷を電源に伝達する回路が接続され、該入力の電圧が高レベルの時は該コンデンサの1端を高レベルにして該MOSトランジスタのゲート電圧を入力電圧とMOSトランジスタのしきい値電圧の和以上にし、該入力の電圧が低レベルの時は該コンデンサの1端を低レベルにすると同時に該MOSトランジスタのゲート電圧を電源電圧にすることとした。

本手段は整流用トランジスタの電圧降下を低減させ高い出力電圧を得るものである。

(e) 上記第1項乃至第2項の手段において、メモリセルアレーとワードドライバと電圧変換回路に用いるMOSトランジスタのしきい値を3種類とし、メモリセルアレーのものを最も高く、ワードドライバのものを中間に、電圧変換回路のものを最も低くすることとした。

本手段は低電源電圧においても集積回路としてさらに一層の安定化、高速化、低消費電力化を達成するものである。

さらに、前記(3)の目的を達成するため、本発明の半導体装置では、中間電圧に等しい基準電圧の入力と、同一負荷に対して出力を並列接続する少なくとも二つの第一および第二のコンプリメンタリ・プッシュプル回路と、基準電流を増幅して出力するプッシュプル電流増幅回路とを備え、第一のコンプリメンタリ・プッシュプル回路は、そのバイアス回路に、上記基準電圧の入力と該入力に付加するバイアス電圧源を備えて、該プッシュ

プル回路の分圧用トランジスタのゲートにバイアス電圧を印加するとともに、該プッシュプル回路の分圧回路は上記電流増幅回路の基準電流回路を形成し、かつ該電流増幅回路の出力端を上記第二のコンプリメンタリ・プッシュプル回路のバイアス回路に接続することを特徴とする。

すなわち、中間電圧に等しい基準電圧の発生部をコンプリメンタリ・プッシュプル回路のバイアス回路から分けて独立に設けるとともに、少なくとも二つのコンプリメンタリ・プッシュプル回路で並列に負荷を駆動するようにし、出力電圧と入力電圧の差を一つのプッシュプル回路に流れる電流として検出し、かつ、その電流にほぼ比例する増幅電流でもう一方のプッシュプル回路を駆動するものである。

ここで上記第一および第二のコンプリメンタリ・プッシュプル回路のバイアス電圧は、該電圧を印加する該プッシュプル回路のトランジスタのゲートしきい値電圧にほぼ等しくすることが好ましい。このことは定常状態においてこれらのトラン

ジスタを流れる電流を低い値に抑えるものである。

あるいは上記電流増幅回路をカレントミラー型のプッシュプル増幅回路によることにすれば、簡単な回路構成で高い駆動能力がばらつきが少なく容易に入れられる。

またあるいは、上記第一および第二のコンプリメンタリ・プッシュプル回路を電界効果トランジスタにより構成することが低い電源電圧で動作させられるので好ましい。

前記(3)の目的をさらに効果的に達成するための本発明の半導体装置では、中間電圧に等しい基準電圧の入力と、同一負荷に対して出力を並列接続する少なくとも二つの第一および第二のコンプリメンタリ・プッシュプル回路およびトライステート駆動回路と、基準電流を増幅して出力するプッシュプル電流増幅回路とを備え、第一のコンプリメンタリ・プッシュプル回路は、そのバイアス回路に、上記基準電圧の入力と該入力に付加するバイアス電圧源を備え、かつ、該プッシュプル回路の分圧回路は上記電流増幅回路の基準電

流回路を形成し、かつ該電流増幅回路の出力端を上記第二のコンプリメンタリ・プッシュプル回路のバイアス回路に接続すること、さらに上記トライステート駆動回路は、上記入力の電圧よりも低い第一の判定電圧と上記入力の電圧よりも高い第二の判定電圧とを備え、出力電圧が第一の判定電圧よりも低いときには出力を充電し、出力電圧が第二の判定電圧よりも高いときには出力を放電する手段を備えることを特徴とする。

すなわち本発明ではトライステート駆動回路をコンプリメンタリ・プッシュプル回路とともに負荷に対して並列に接続してプッシュプル回路による駆動能力を補うものである。

ここで、上記第一および第二のコンプリメンタリ・プッシュプル回路のバイアス電圧は、該電圧を印加する該プッシュプル回路のトランジスタのゲートしきい値電圧にほぼ等しい電圧にすること、あるいは上記電流増幅回路をカレントミラー型のプッシュプル増幅回路とすること、あるいは上記第一および第二のコンプリメンタリ・プッシュ

ル回路を電界効果トランジスタにより構成することが好ましいことは前述のとうりである。

ここで、上記の入力および出力の電圧を電源電圧の二分の一にすれば、DRAMのような回路への適用上好ましい。

さらに、複数の同種のブロックを少なくとも含み、動作時においては、ブロック選択信号によって選択した一つまたは複数のブロックを動作状態にする集積回路(LSI)と、ブロックを負荷として電圧供給し駆動する手段を有する半導体装置の場合においては、高速応答を達成するために、ブロックを駆動する上記駆動手段として、第一および第二の駆動回路と、各ブロック毎に設けられ動作状態にあるブロックを第一の駆動回路に、非動作状態にあるブロックを第二の駆動回路に、それぞれ接続する切換手段とを備えることとする。

このような手段は、大容量のダイナミックメモリのような集積回路に対して好適である。

そのような場合に、上記ブロックはメモリセルアレーを少なくとも含み、かつ上記負荷としては

メモリセル蓄積容量の対向電極およびメモリセルから信号検知回路に信号を伝達するデータ線のプリチャージ電圧供給線とを少なくとも含むようにするのがよい。

ここで上記駆動回路を電源電圧の二分の一の電圧を発生するものとするのがDRAMへの適応上好ましい。

さらに上記駆動回路として本発明の半導体装置を用いれば、大容量のLSIに対しても高精度化、高速化を達成できる。

#### 〔作用〕

(1)については、上記構成により、入出力制御回路を、データ線ビツチの2倍のビツチでレイアウトできるため、従来に比べて、チップ面積を大きく増大させることなく、最適な入出力回路構成をとることができる。これにより、入出力回路の動作マージンが格段に向上し、低い電圧でも、安定かつ高速に動作させることができる。また、並列に書き込み、読み出しを行つても安定に動作するため、高い並列度の並列テストが可能となる。

(2)については、スタティック型のワードドライバは電源側にはPチャネルトランジスタ、グランド側にはNチャネルトランジスタが接続されている。このため、ワード線駆動時にゲートをグランドレベル(0V)にすれば、電源電圧がしきい値電圧 $V_T$ 以上であればPチャネルトランジスタが常にオン状態になり、その出力電圧は電源電圧まで上昇する。このように上記スタティック型のワードドライバは、ドライブトランジスタのゲート電圧がLowレベルで動作するので低電源電圧に対しても安定に動作する。

したがってワードドライバの電源として上記電圧変換回路の出力を用いることにより、ワード線電圧としてデータ線電圧よりメモリセルアレーのスイッチトランジスタのしきい値電圧分以上高い電圧を印加することが可能になり、これにより、電源電圧が1V程度にまで低下してもメモリ動作を安定にすることが可能になる。

さらに本発明のチャージポンプ回路は、その出力電圧をプリチャージトランジスタに帰還するも

ので、これを電圧変換回路に用いることにより、低い電源電圧に対しても速い立上りと高い出力電圧を得ることが可能になる。

また上記手段の第4項の整流回路は、整流用トランジスタのゲート電圧をチャージポンプ回路の出力電圧と同期させ、その出力がすなわちトランジスタのドレイン電圧がHighレベルのときはゲート電圧をそれよりしきい値電圧分以上高くし、Lowレベルのときは両者同レベルにするもので、これにより整流用トランジスタの電圧降下を低減させ、電荷の逆流も防ぐことが可能になる。

トランジスタのしきい値電圧を低電圧化すると一般にトランジスタの駆動能力が増加する。したがって上記手段の第5項のように、規模のあまり大きくない電圧変換回路にはこのようなトランジスタを用いると効果がある。しかし後述するように、ワードドライバのように多量のトランジスタを用いるようなものの場合は逆に、トランジスタのオフ状態で流れる漏れ電流が無視できなくなるのでしきい値電圧として標準のものを用いる。ま

たメモリセルアレーのトランジスタを低しきい値電圧化すると後述のようにリフレッシュ間隔を短くすることから消費電力の増加を招くことになり、したがって、これには標準より高いものを用いるのが好ましい。

すなわち上記手段の第5項は、低電源電圧においても集積回路を一層安定化し、高速化し、低消費電力化するよう作用するものである。

(3) については、中間電圧に等しい基準電圧の発生部をコンプリメンタリ・プッシュプル回路のバイアス回路から分けることにより、バイアス回路とは独立して電圧を設定することができ、中間電圧の出力を高精度化することが可能になる。

また、入力と出力の電圧差を上記第一のコンプリメンタリ・プッシュプル回路のトランジスタを介して電流に変換し、その電流に比例する増幅電流で第二のコンプリメンタリ・プッシュプル回路を駆動することにより、入出力間に電圧差がある間は、プッシュプル回路の駆動能力を高くして、高速に負荷容量に対して充放電を行なうことにな

る。またその際の充電と放電の駆動能力を高めることができ、したがって低電圧でも、高速かつ安定に動作する電圧供給回路(電圧フォロフ)を提供することが可能になる。

さらに上記のようにコンプリメンタリ・プッシュプル回路のバイアス電圧を電圧印加トランジスタのしきい値電圧にほぼ等しくして該プッシュプル回路の電流を低い値に抑えれば、これにより半導体装置の定常時電力を小さくしながら、出力電圧の変動時には高い駆動能力を得るようにすることが可能になる。

また電流増幅回路にカレントミラー型の増幅回路を用いれば、簡単な回路構成で電流増幅が可能になるだけでなく、同一の特性を要するミラー回路相互のトランジスタに同種の素子を用いることにより、高い駆動能力をばらつき少なく容易に得ることが可能になる。

電界効果トランジスタは不純物濃度を制御することによってゲートしきい値電圧を下げるができるので、第一および第二のコンプリメンタリ・

プッシュプル回路を電界効果トランジスタで構成することにより、電源電圧が低くなっても所要の動作が得やすくなる。

さらにトライステート駆動回路をコンプリメンタリ・プッシュプル回路とともに負荷に対して並列に接続する上記の手段によれば、入出力間の電圧誤差が上記の判定電圧以上に大きくなった場合には負荷容量を充電または放電することにより電圧誤差を判定電圧以内に収束するよう動作し、これによりプッシュプル回路動作を補って過渡時の応答速度をさらに高めるよう作用することになる。

また集積回路の中に複数の同種のブロックを含み、その一部を動作させる場合に、動作状態のブロックのみを負荷として選択するよう切り換える本発明の手段によれば、大容量のDRAMのような場合にもその一部の負荷を実質的に担うことになるため大きな過渡電流を流すことなく高速応答が可能になる。そのうえ、この駆動回路に本発明の装置を用いれば、前記したようにさらに効果的に高精度高速応答性を得ることが可能になる。

#### 〔実施例〕

以下実施例により本発明を具体的に説明する。なお、以下の説明では、本発明をダイナミックメモリ(DRAM)に適用した例について説明するが、これ以外の、例えば、スタティックメモリ(SRAM)やリード・オンリ・メモリ(ROM)についても同様に適用できる。また、MIS型のFET素子を用いたメモリ以外にも、バイポーラ素子を用いたメモリ、バイポーラ素子とMIS-FETとを組み合わせた、いわゆるBiCMOS型のメモリ、さらには、シリコン以外の半導体材料を用いたメモリについても、同様に適用することができる。

第1図は本発明のメモリ回路の一実施例である。第1図中、MAは1つのMIS-FETと1つの蓄積容量からなるメモリセルを二次元的に複数個配列したメモリセルアレー、CKT0; CKT1はメモリセル信号を検知したり、読出し線または書き込み線を通して、メモリ外部と情報をやりとりするための入出力制御回路、D0とD0、D1と

$\overline{DI}$ はメモリセルと上記入出力制御回路の間で信号の伝送を行うためのデータ線対、 $WD$ はメモリセルアレーのうちの行アドレスを指定して1本のワード線に駆動信号を与えるためのワード線駆動回路、 $W0 \sim Wm$ はワード線、 $YD$ はメモリセルアレーのうちの列アドレスを指定するための $Y$ (列)デコード、 $Y01$ は列選択信号線、をそれぞれ表している。また、入出力制御回路の中で、 $SA0$ 、 $SA1$ はデータ線上の微小な信号電圧を検知するための検知回路(センスアンプ)、 $CSN0$ と $CSP0$ 、 $CSN1$ と $CSP1$ は、それぞれ検知回路 $SA0$ 、 $SA1$ の駆動信号線、 $CD0$ あるいは $CD1$ は検知回路の駆動信号発生回路、 $PR0$ 、 $PR1$ は、非動作状態において、データ線対を短絡するとともにセンスアンプの動作に都合の良い電圧に設定するためのプリチャージ回路、 $RG0$ あるいは $RG1$ はデータ線対に現れた信号(電圧差)をメモリアレー外部に読み出すための読みだしゲート、 $T1 \sim T4$ は読みだし

ゲートを構成するNチャネルMIS-FET、 $WG0$ あるいは $WG1$ は外部の情報に従ってデータ線を駆動する書き込みゲート、 $T5 \sim T8$ は1つの書き込みゲートを構成するNチャネルMIS-FET、 $RO0$ 、 $\overline{RO0}$ 、 $RO1$ 、 $\overline{RO1}$ は読みだし線、 $WIO$ 、 $\overline{WIO}$ 、 $WI1$ 、 $\overline{WI1}$ は書き込み線、 $RCS0$ 、 $\overline{RCS0}$ 、 $RCS1$ 、 $\overline{RCS1}$ は読みだし制御線、 $WRO$ 、 $\overline{WRO}$ 、 $WR1$ 、 $\overline{WR1}$ は書き込み制御線、をそれぞれ示している。また、 $SWR0$ 、 $SWR1$ は読みだし線から共通の読みだし線 $CRO$ 、 $\overline{CRO}$ へ接続するためのスイッチ回路、 $SWW0$ 、 $SWW1$ は書き込み線と共通の書き込み線 $CWI$ 、 $\overline{CWI}$ を接続するためのスイッチ回路、 $SEL0$ 、 $SEL1$ は左右いずれかのスイッチを選択する信号、 $AMP$ は $CRO$ 、 $CRO$ へ現れた信号を検知増幅するためのセンス増幅器、 $DOB$ は出力バッファ、 $DIB$ は入力バッファである。本実施例では、入出力制御回路 $CKT0$ 、 $CKT1$ をデータ線対毎にメモリアレーの左右に交互に配置しており、かつ入出力

制御回路内のI/O線を読みだし線( $RO$ 線)と書き込み線( $WI$ 線)に分離している。以下これらの具体的な構成と効果を説明する。

第1図(b)には読みだしゲートおよび書き込みゲート回路の平面レイアウト図を示す。一般的には、メモリの高集積化が進むとともに入出力制御回路 $CI$ をデータ線ピッチでレイアウトすることが困難になつてくる。しかし本実施例のように入出力制御回路をメモリアレーの左右に交互に配置することで入出力制御回路のレイアウトピッチはデータ線対ピッチの2倍、すなわち、2dyにできるのでチップ面積を大きく増大させること無しにレイアウトが可能になる。高集積メモリにおいては、たとえばアイ・イー・イー・イー、ジャーナル・オブ・ソリッド・ステート・サーキット、23(1988年)第1113頁から1119頁(IEEE, Journal of Solid-State Circuits, vol. 23, No. 5, October 1988, pp 1113-1119)に述べられているように、隣接するデータ線間の容量結合により信号対雑音比が著し

く低下するという問題がある。メモリアレー部分の容量結合雑音はデータ線をメモリアレーの途中で交差する等の方法により低減できることは知られているが、入出力制御回路部においては隣接データ線間の結合容量が場所により不均一であるため雑音を低減することが十分に行えなかった。本実施例では入出力制御回路のデータ線対間にシールド用の配線を配することにより、従来に比べて著しく線間容量結合雑音を低減することができる。以下、これについて説明する。第1図(b)に示すような入出力制御回路部のレイアウトにおいて、データ線対間にデータ線と同時に形成される他の信号配線を配置している。ここでは、例えば、読みだしゲート $RCI$ 部でデータ線と直行して配線された読みだし線 $RO$ 、 $\overline{RO}$ 及び読みだし制御線 $RCS$ 、 $\overline{RCS}$ はスルーホールを通してデータ線と同時に形成される配線材に接続され、データ線と平行に配置される。このようにすることで、データ線と隣接データ線間の寄生容量を低減することができ、読みだし動作に伴う雑音を最

低レベルに抑え、安定な動作を期すことができる。

次に、読出しスイッチSWRO、書込みスイッチSWWO、センス増幅回路AMOの具体的な構成を説明する。

第1図(c)は読出しスイッチSWRi (i = 0, 1) の構成例である。この回路は、複数の読出し線ROi、 $\overline{ROi}$ の内の1つを共通読出し線CRO、 $\overline{CRO}$ に選択的に接続するとともに、選択されたメモリブロックの読出し制御線RCSI、 $\overline{RCSI}$ の電圧を制御して、読出し線に信号を取り出すようにしている。同図において、T10～T17はNチャネルMISFET、INV100はインバータ、NAND1は入力に共に高レベルの組合せのときのみ低レベルを出力する2入力の反転論理積回路、をそれぞれ示している。メモリブロックが選択されて選択信号SELiが高レベル、かつメモリが読出し状態にあって書込み信号WEが高レベルになると、MISFET T10～T13が導通、T14～T17が非導通となる。したがって、読出し線

に接続される。これにより、例えば第1図(a)において列選択信号Y01が高レベルになってT3およびT4が導通しても、読出し線ROi、 $\overline{ROi}$ から読出し制御線RCSI、 $\overline{RCSI}$ に電流が流れることがないため、例えば第4図において述べるように、1本の列選択信号線で複数のメモリブロック(選択ブロックと非選択ブロックを含む)の列アドレスを選択するような場合に都合がよい。

第1図(d)は書込みスイッチSWWi (i = 0, 1) の構成例である。この回路は、複数の書込み線Wi、 $\overline{Wi}$ の内の1つを共通書込み線CWI、 $\overline{CWI}$ に選択的に接続するとともに、選択されたメモリブロックの書込み制御線WRIを高レベルにして、書込みを行なうようにしている。同図において、T20、T23～T26はNチャネルMISFET、T21、T22はPチャネルMISFET、INV101～INV103はインバータ、NAND2は2入力の反転論理積回路、をそれぞれ示している。メモリブロックが

ROi、 $\overline{ROi}$ はそれぞれ共通読出し線CRO、 $\overline{CRO}$ に接続されるとともに、読出し制御線RCSI、 $\overline{RCSI}$ は接地される。これにより、例えば第1図(a)において列選択信号Y01が高レベルになると、T3およびT4が導通し、データ線対DO、 $\overline{DO}$ の電圧差に応じて読出し線RO0、 $\overline{RO0}$ から読出し制御線RCS0、 $\overline{RCS0}$ に流れる電流の差として信号が得られる。ここで、読出し制御線RCS0、 $\overline{RCS0}$ は、読出し動作だけを考えると、必ずしも分離する必要はないが、後述するように並列テストを行なう場合には、分離が不可欠である。

メモリブロックが非選択となり、選択信号SELiが低レベル、またはメモリが書込み状態にあって書込み信号WEが低レベルになると、MISFET T10～T13が非導通、T14～T17が導通となる。したがって、読出し線ROi、 $\overline{ROi}$ および読出し制御線RCSI、 $\overline{RCSI}$ は同一の電圧(ここでは中間電圧HVL)

選択されて選択信号SELiが高レベル、かつメモリが書込み状態にあって書込み信号WEが高レベルになると、MISFET T20～T23が導通、T24～T26が非導通となる。したがって、書込み線Wi、 $\overline{Wi}$ はそれぞれ共通書込み線CWI、 $\overline{CWI}$ に接続されるとともに、書込み制御線WRIには高レベルが出力される。これにより、例えば第1図(a)において列選択信号Y01が高レベルになると、T5およびT6が導通し、データ線対DO、 $\overline{DO}$ は書込み線WI0、 $\overline{WI0}$ に接続され、書込み線上の書込み情報はデータ線に書き込まれる。

メモリブロックが非選択となり、選択信号SELiが低レベル、またはメモリが読出し状態にあって書込み信号WEが低レベルになると、MISFET T20～T23が非導通、T24～T26が導通となる。したがって、書込み線Wi、 $\overline{Wi}$ は同一の電圧(ここでは中間電圧HVL)に接続されるとともに、書込み制御線

WRIは低レベルになる。これにより、例えば第1図(a)において列選択信号Y01が高レベルになってT5およびT6が導通しても、データ線と番込み線とは導通しないため、例えば第4図において述べるように、1本の列選択信号線で複数のメモリブロック(選択ブロックと非選択ブロックを含む)の列アドレスを選択するような場合に都合がよい。

次に、第1図(e)は共通読出し線CRO、CROに読みだされた信号を増幅するためのセンス増幅回路の構成を示している。同図において、amp1は共通読出し線CRO、CROを入力、d1、 $\overline{d1}$ を出力とする第一のセンス増幅回路、amp2はd1、 $\overline{d1}$ を入力、d2、 $\overline{d2}$ を出力とする第二のセンス増幅回路、amp3はd2、 $\overline{d2}$ を入力、d3、 $\overline{d3}$ を出力とする第三のセンス増幅回路、T42、T43は第三のセンス増幅回路を動作前に初期化するためのMISFETである。第一のセンス増幅回路amp1は同じ構成の2つの電流電圧変換回路で構成される。電流電

圧変換回路は差動増幅回路DA1、PチャネルMISFET T30、NチャネルMISFET T31とからなる。また、第二のセンス増幅回路amp2は同じ構成の2つの差動増幅回路DA3、DA4で構成される。第三のセンス増幅回路amp3は2つの反転論理和回路MOR1、NOR2、2つのインバータINV105、INV106で構成される。

次に、本実施例の動作を第1図(f)および(g)の動作波形を用いて説明する。なお、ここでは、データ線D0、 $\overline{D0}$ に読出された情報を読出したり、外部からの情報をD0、 $\overline{D0}$ に書き込む場合の例について説明するが、同様の動作はメモリアレー内の全てのメモリセルに対して選択的に行なうことができるのは自明である。また、ここでは動作電圧が1.5Vの場合について説明しているが、これに限らず他の電圧で動作させても、本発明は同様に適用でき、かつ同様の効果を得ることができる。

まずはじめに読出し動作を第1図(f)により

説明する。プリチャージ回路部PROの制御信号PCが時間t0で立ち下がり、データ線への予備充電動作が終了する。続いて選択されたワード線W0がt1で立上り、メモリセルからデータ線D0、 $\overline{D0}$ に信号が読みだされる。次に、t3にセンスアンプ駆動信号CSPを中間電位からHighレベルへ、CSNを中間電位からLowレベルにし、センスアンプSAOを駆動する。これにより、データ線に読みだされた信号がセンスアンプによりHigh、Lowに増幅される。ここで、本実施例では、データ線は読みだしゲートRGO中のトランジスタT1、T2のゲートに接続され、トランジスタT3、T4を通して、読出し線RO0、 $\overline{RO0}$ へ接続してある。選択された入出力回路CKT0の読出し制御線RCS0、 $\overline{RCS0}$ はt1においてLowに駆動される。この構成によりデータ線と読出し線は分離されるため、データ線がHigh、Lowレベルに確定する前の増幅途中において、ここではt3において、列選択信号線Y01を入力してもデータ線の情報を破壊するこ

とがない。したがって、データ線の情報を破壊すること無しに読出し線へ伝達することができるので、読みだし動作の高速化が図れる。なお、従来に比べて高速化できる理由、および効果については後で詳しく述べる。ここで、読出し線および共通読出し線の信号電圧、すなわちRO0と $\overline{RO0}$ およびCROと $\overline{CRO}$ の電圧差は約20mV程度、第一のセンス増幅回路の出力信号振幅(d1と $\overline{d1}$ の電圧差)は約200mV程度、第二のセンス増幅回路の出力信号振幅(d2と $\overline{d2}$ の電圧差)は1~1.5V程度である。すなわち、第一のセンス増幅回路の電圧増幅率は約10程度、第二のセンス増幅回路の電圧増幅率は約5~7程度である。第三のセンス増幅回路の電圧増幅率は1~2程度である。但し、第三のセンス増幅回路には出力情報を記憶する機能、いわゆるラッチ機能がある。すなわち、入力信号を増幅した後に入力とともにLowにすることにより、次の入力が入るまでは先の入力に応じた出力が保持される。これにより、第一から第三の増幅回路の全てを常に動



作状態にする必要がなく、出力された後には、第一あるいは第二あるいはその両方の増幅回路を非動作状態として、消費電力を低減することができる。

この図では、一つの情報の読出しの後、列アドレスを切り換えて他の情報を読出するようにした、いわゆるスタティックカラム動作の例も示している。すなわち、列選択信号Y01の次にY23を立ち上げて情報を読出している。本実施例によれば、後述するようにセンス増幅回路の入力を電流とすることにより、読出し線および共通読出し線の電圧振幅は20mVと従来の1/10に低減している。これにより、読出し線および共通読出し線の寄生容量の充放電に要する時間を約1/10に短縮することができ、アドレスを切り換えてから情報を出力するまでの遅延を極めて小さくすることができる。

つぎに、読出し動作に続いて書き込み動作を行う場合の例を第1図(g)を用いて説明する。同図において、最初の読出し動作は第1図(f)

と同じである。L4においてWEがhighになると列選択信号線Y01がHighのままで、

RGOの制御信号線RCS0がHVL(0.75V)、書き込みゲートWGOの制御信号線WROがHighになる。これとともに書き込み用の入出力線WIO、 $\overline{WIO}$ に書き込みのデータを与えると、書き込みゲートWGO内のトランジスタT5、T7、およびT6、T8を通してデータ線D0、 $\overline{D0}$ へデータが書き込まれる。

以上の例に示したように、書き込み動作と読みだし動作でI/O線とデータ線間の伝達インピーダンスを変化させる一手段として、読みだし線と書き込み線を分離することで、読みだし動作マージンと書き込み動作マージンをおのおの個別に設定することができるので、低電圧動作においても動作の高速化及び安定化を図ることができる。

次に、本実施例で用いたセンス増幅回路の効果を図2により説明する。第2図(a)は従来のセンス増幅回路、(b)は本発明によるセンス増幅回路の構成を模式的に示したものである。また

第2図(c)は従来のセンス増幅回路と、本発明によるセンス増幅回路の動作波形を模式的に示したものである。従来回路では、メモリセルMCから、データ線(D0、 $\overline{D0}$ )に読出された微小信号は、センスアンプSA0で増幅された後、列選択信号Y01で制御されるMISFET T50、 $\overline{T50}$ をオンにして、読出し線(I00、 $\overline{I00}$ )に伝えられていた。従来回路には、高速化を妨げる2つの問題がある。1つは、センスアンプで十分に増幅された後、MISFETをオンにする必要があることである。そうしないと、データ線(CD約0.3pF)と読出し線(CR約8pF)に、数10倍の容量差があるため、大きな電荷が読出し線から流れ込んで、せっかく増幅しかけた情報が破壊されてしまうためである。もう1つは、駆動能力の小さなセンスアンプで、大きな寄生容量の読出し線を200mVという大きな電圧まで増幅する必要があることである。これは、次段の第二のセンス増幅回路の信号検出感度のためである。

そこで、本発明では、データ線の信号をゲートで受けたNMOSTランジスタT1、T2を設け、センスアンプと読出し線を分離した。これによって、データ線が十分増幅されるのを待たずに、列選択信号で制御されるMISFET T3、T4をオンにできるため、データ線の電圧情報を、電流情報に変換して、高速に読みだすことができる。さらに、低電圧動作に適するように、PチャネルのMISFETと増幅回路により構成した、電流センス回路を設け、電流入力に比例した電圧出力を得られるようにした。電流入力とすることにより、信号線の電圧振幅は、従来に比べて、約1桁(200mV→20mV)小さく抑えることができ、寄生容量CRの充放電に要する時間が大幅に短縮されて高速化される。

第2図(d)は、従来のセンス増幅回路と本発明によるセンス増幅回路の動作速度を計算機シミュレーション結果をもとに比較したものである。ここでセンス時間とは、センスアンプを起動するための信号CSN、CSPが投入されてから、I

ノ線に200mVの信号電圧が得られるまで（従来の場合）の遅延時間、あるいは第一のセンス増幅回路の出力に200mVの出力が得られるまで（本発明の場合）の遅延時間で定義している。本発明の回路により、1.5Vで従来に比べて20ns高速化されることから、本発明が低電圧でかつ高速に動作することが示された。

以上述べたように本実施例では、入出力制御回路をメモリセルアレーの左右に交互に配置し、かつ読みだし用と書き込み用の入出力線を分離することで、低電圧動作においても動作の高速化及び安定化を図ることができる。さらには、読出し線の信号を検出する第一のセンス増幅回路を電流電圧変換回路で構成し、かつ読出し線駆動用のMISFETとデータ線の電圧を読出し線の電流に変換するためのMISFETを相補の構成とすることにより、1~2V程度の低い電源電圧でも高速に動作するセンス増幅回路を提供することができる。

第3図はさらに動作の安定化を図るための実施

例である。前に述べたように、入出力制御回路部ではデータ線間の寄生容量を低減することができた。ここではメモリセルアレーにおいてデータ線間の寄生容量のバランスをとることによりさらに動作の安定化を図っている。すなわちデータ線を線対ごとにメモリセルアレーの中央部において交差させる。D1、 $\overline{D1}$ とデータ線 $\overline{D0}$ 間の寄生容量はそれぞれCc01L、Cc01Hであるが、Cc01LとCc01Hは一致するのでD1、 $\overline{D1}$ とデータ線 $\overline{D0}$ 間の寄生容量は等しくできる。同様にD1、 $\overline{D1}$ とデータ線D2間の寄生容量も等しくできるので、対となるデータ線同士で隣接データ線との寄生容量のバランスをとることができる。したがって、メモリセルアレー内においてもさらに読みだし動作の安定化を図ることができる。

第4図は複数のメモリセルアレーが存在した場合の実施例であり、ここでは読みだし動作を説明する。入出力制御回路CKTijは左右のメモリセルアレーで共用し、CKTijと各メモリセル

アレーの間にはT60~T63で示すスイッチトランジスタが接続され、それらのゲートにはメモリセルアレーの選択信号であるSHRijが入力される。SWRiは読みだし線ROと複数のRO線で共用する共通読出し線CROへ接続するスイッチであり、このスイッチへもメモリセルアレーの選択信号SHRijが入力される。

SHRijはあらかじめHighにセットされており、たとえばメモリセルアレーMA2が選択されると、SHR1H、SHR3LのみをLowにする。ここで、列選択信号Y01が選択されたとするデータ線D1、 $\overline{D1}$ 、およびD0、 $\overline{D0}$ へ読みだされた信号は入出力制御回路CKT12、CKT23を通してRO12、 $\overline{RO12}$ 、RO23、 $\overline{RO23}$ へ読みだされる。これらは、さらにスイッチSWR1、SWR2を通して、共通のI/O線CRO0、 $\overline{CRO0}$ 、CRO1、 $\overline{CRO1}$ へ読みだされる。このように、複数のメモリセルアレーが存在した場合にも、入出力制御回路をメモリセルアレーの左右に交互配置し左右

のメモリセルアレーで共用することはチップ面積を大きく増加させることなく、これまで述べてきた特性の改善が実現できる。

第5図(a)は本発明を用いた並列テストの実施例である。並列テストは列選択信号を同時に複数選択（多重選択）することによって行う。すなわち、並列テスト時にはテスト信号TESTにより、列選択信号を多重に選択する。これにより、読みだし動作では、多重度に応じてデータ線の読みだし信号が読みだし線に同時に読みだされる。同時に読みだされたデータ線の情報がすべて一致していれば、読みだし線ROと $\overline{RO}$ は一方が読みだし情報に応じて“High”の電圧レベル、他方が“Low”の電圧レベルになる。もし1つでも誤情報が読みだされたとするROと $\overline{RO}$ 共に“Low”の電圧レベルになる。一方、書き込み動作では、書き込み用の入出力線から選択された書き込みゲートに接続されたデータ線に書き込まれる。ここで、本発明では並列テストの場合にも新たにテスト用のI/O線を設けること無しに並列テストが

行え、通常のテストと同様にデータ線からAMPへ情報が伝えられる。また、読みだし用の信号線と書き込み用の信号線を分離しているの、前述したように読みだし動作と書き込み動作で各々個別に動作マージンを設定でき、多重度を増やす上での制限は無くなり、高度の並列読出し/書き込みが可能になる。図で、読みだしゲートRGの駆動信号RCSは対線とし、読みだし動作において読出し線RO、 $\overline{RO}$ へ接続されるRCSを分離している。これは多重度を増やしたときにも1つの誤読みだしを判別するために有効な手段である。多重度を増やすとROからRCSへ流れる電流を増やす必要がある。一方RCSからGNDへ流れる電流は読出し線の配線抵抗によりある一定で飽和する。いかえれば、RCSの電位が上昇する。そのためRCSを分離しないと誤読みだしがあつた側のI/O線の信号電流は多重度の上昇と共に低下し検出が困難になる。RCSを分離することにより誤読みだしを行つた側のRCSの電位は上昇せずROからRCSへ流れる電流のみを検出す

を列デコードに入力すれば多重度を4にできる。以上、第5図(b)および(c)に示した実施例をもとに並列テスト時は列デコードを多重に選択でき、通常のテスト時にはテスト信号TESTをLowにすることによつて1本の列選択信号を選択できる。第5図(d)は並列テストを実現するためのセンス増幅回路の実施例である。並列テスト時のテスト結果を出力する方法について図により説明する。通常の読出し動作に際しては、amp 2 Tを構成する2つの差動増幅回路DA4、DA5の反転および非反転入力には、電流電圧変換後の出力をそのまま入力し、それらの出力をamp 3に入力する。並列テスト時には2つの差動増幅回路DA4、DA5の非反転入力には基準電圧としてV<sub>RT</sub>を入力する。並列テストにおいて、多重に選択されたデータ線に1つでも誤情報が含まれている場合は、RO、 $\overline{RO}$ にはともに電流が流れる。したがつて、第一のセンス増幅回路amp 1の電流電圧変換出力d1、 $\overline{d1}$ は共に低いレベルになる。一方、基準電圧V<sub>RT</sub>を電流電圧

変換出力の高レベルと低レベルの間の電圧に設定しておく。こうすれば、1つでも誤情報が含まれている場合は、2つの差動増幅回路DA4、

第5図(b)は多重度を決定する具体的回路の実施例である。列デコードYDへは通常Y0からY<sub>n-1</sub>が入力される。Y<sub>n-1</sub>は列方向を2分割し、Y<sub>n-2</sub>はさらにそれぞれを2分割し、以下同様である。Y0は列選択信号ごとに"0"(Low)、“1”(High)を繰り返す。ここではテスト信号TESTをHighにし、 $\overline{Y_{n-1}}$ 、Y<sub>n-1</sub>とTESTとのORゲート出力信号をAY<sub>n-1</sub>、AY<sub>n-1</sub>'とし、これを $\overline{Y_{n-1}}$ 、Y<sub>n-1</sub>のかわりに列デコードに入力することでY<sub>n-1</sub>のHigh、LowにかかわらずにAY<sub>n-1</sub>、AY<sub>n-1</sub>'ともにHighにでき列選択信号を2本選択できるので多重度を2にできる。

第5図(c)は多重度を4にした実施例である。Y<sub>n-1</sub>とY<sub>n-2</sub>のNANDゲート出力をTESTとともにNANDゲートに入力し、それらの出力をAY<sub>n-2</sub> 0から3とし、それら

DA5の出力には高レベルが出力される。すなわち、d2、 $\overline{d2}$ 共に高レベルの場合には並列に読出した情報が誤情報を含んでいると判定できる訳である。並列テスト時にはTESTをLowにすることによつてこれらの出力を判定回路TEJに取り込む。TEJはd2、 $\overline{d2}$ の出力電圧に応じてERRにHighまたはLowを出力する。すなわち、並列テストの結果がすべて正しければ、ERRはLowを出力し、1つでもまちがつていればHighを出力する。このようにして多重度をあげた並列テスト結果の判別も本発明による入出力回路方式ならびにセンス増幅回路を用いて行うことができる。

第5図(e)は並列テストに用いる基準電圧V<sub>RT</sub>発生回路の実施例である。図においても前に述べた電流-電圧変換回路を用いており、並列テスト時には並列テスト信号TESTをHighにする

ことで $V_{NT}$ を発生している。この回路においては、電流電圧変換回路の入力に信号電流の約半分に相当する基準電流を与えている。これにより両方の $R_O$ 線に信号電流が流れると、変換後の電圧は $V_{NT}$ より小さくなる。また、並列テストの結果が正しければ一方の変換後の電圧は $V_{NT}$ よりも大きくなる。したがって、変換後の電圧を $V_{NT}$ と比較することにより、テスト結果の判別が可能になる。

第5図(f)は書き込みスイッチ $SWW$ の具体的な実施例である。 $WE$ は書き込み信号である。本実施例は第4図に基づいて複数のメモリセルアレーが存在した場合であり、 $SWW$ の右側のメモリセルアレーが動作すると仮定する( $SELR$ がHigh、 $SELL$ がLow)。並列テスト時は $TEST$ がLowである。読みだし動作時は $WE$ がLowであり回路 $WST$ により $WI$ 、 $\overline{WI}$ を同電位にしておく。書き込み動作が開始されると、 $WE$ がHighになる。 $GR$ に入力する信号は読みだし動作においてはすべてHighになるので、 $WER$ はLowに、一方の $WEL$ はHighになる。したがって、書き込

み制御信号 $WR$ はHighになるとともに、NチャネルMISFET  $T77$ 、 $T78$ およびPチャネルMISFET  $T75$ 、 $T76$ をとおして $CWI$ 、 $C\overline{WI}$ から $WI$ 、 $\overline{WI}$ へデータが書き込まれる。

第6図はメモリセルからデータ線へ読みだされた信号を検知増幅するセンスアンプの高電圧側の電源線の電圧レベルを任意に設定できるようにした実施例である。メモリセルへ“1”を書き込むときの書き込み電圧レベルはセンスアンプの高電圧側の電源線の電圧レベルである。したがって、高電圧側の電源線の電圧レベルを任意に設定できればよい。ここでは高電圧側の電源配線を2種類設け、一方の電源配線を $V_{OL}$ として通常の書き込みに用いる。他方の電源配線 $V_{ON}$ はたとえばチップ外部より任意に設定できるようにする。これにより、信号 $MT0$ 、 $MT1$ をLowにすればセンスアンプの駆動信号 $CSP$ は $V_{OL}$ 、反対に信号 $MT0$ 、 $MT1$ をHighにすればセンスアンプの駆動信号 $CSP$ は $V_{ON}$ にできる。本実施例によれ

ば、情報“1”の電圧レベルのみを任意に設定できる。さらに、情報“1”の電圧レベルを一対おきに交互に設定することもできる。したがって、データ線間の結合雑音をテストする時のように、一対おきに、情報が反転するぎりぎりの電圧を書き込むことができ、マージンテストを行いたい場合に有効である。また、メモリセルの情報保持特性などのテスト時間の短縮も図れるなどの効果もある。

第7図および第8図に、本発明によるワード駆動回路の1実施例を示す。本実施例の特徴は、従来のダイナミック型のワードドライバに交えて $QD1$ 、 $QD2$ 、 $QP$ 、 $QT$ からなるスタティック型のワードドライバを用いたことである。またその電源として常に、データ線電圧 $V_L$ よりメモリセルのスイッチトランジスタ $QS$ の $V_T$ 分以上高い電圧を発生する電圧変換回路 $VCHG$ を設けたことである。以下、本実施例の動作を説明する。

まず、アドレス信号 $A_i$ によりXデコーダ $XD$ が選択されるとその出力 $N1$ がLowレベルにな

る。そうするとトランジスタ $QT$ を通して $N2$ のノードの電荷が引き抜かれ $N2$ もLowレベルとなる。そうするとトランジスタ $QD1$ がオンしワード線 $W$ を $VCH$ のレベルにまで立ち上げる。 $VCH$ のレベルは $V_L + V_T(QS)$ 以上であるからメモリセル $CS$ には最大 $V_L$ の電圧が書き込まれる。

次に、プリチャージサイクルでは、まず $\phi_P$ がLowレベルとなりこれにより $QP$ がオンしノード $N2$ を $VCH$ にする。そうすると、 $QD1$ がオフし $QD2$ がオンするからワード線 $W$ はLowレベルとなりメモリセルには電荷が保持される。

以上のように、本実施例ではドライブトランジスタのゲート電圧がLowレベルで動作するので電源電圧が低くなってもワードドライバとして安定に動作する。

第11図は、第7図のワード線用電圧変換回路 $VCHG$ の具体的な実施例を示している。また第12図はその回路の起動時の内部波形と入力タイミングを示している。本実施例の特徴は、低電

電圧でも速い立上りと高い出力電圧を得るため、チャージポンプ回路において、その出力電圧をブリチャージトランジスタ（第11図のQ B）に帰還していることである。以下動作を説明する。

まず、入力パルス $\phi$ 、 $\bar{\phi}$ がそれぞれHigh、Lowの場合を考える。この時ノードBの電圧はVLからQCを通して充電されるため $VL - VT$ となる。一方ノードAはコンデンサCA、CDに蓄えられていた電荷と $\phi$ の振幅で決まる値となる。本実施例では、この電圧をVLと仮定している。次に、 $\phi$ 、 $\bar{\phi}$ の電圧が入れ替わるとノードBはCBにより昇圧され $VL - VT + \alpha VL$ となる。ここで、 $\alpha$ はCBとノードBの全容量の比である。このときノードAの電圧はBの電圧からQAのVTだけ下がった電圧 $VL - 2VT + \alpha VL$ となる。

次に、再び $\phi$ 、 $\bar{\phi}$ の電圧が入れ替わるとノードAは再び昇圧される。もし、このときそれがVLより $\delta$ だけ高いと、ノードBの電圧はQCにより $VL - VT$ にブリチャージされているから、QB

がオンしノードBの電圧をさらに $\delta$ だけ上げる。従って、次のサイクルでノードBはさらに高く昇圧され、ノードAの電圧もさらに高くなる。以上のことを繰返しながらノードAの電圧は上昇し、最終的にはVLと2VDLの間を往復するようになる。

この出力に、2で示す整流回路すなわちダイオード接続したMOSトランジスタQDを接続し、さらにその出力に平滑コンデンサCDをいれると、昇圧された直流電圧VCHとなる。この出力電圧は、無負荷状態で $2VL - VT$ となる。

ここで、QAとCAを接続した回路を二つに分け、それぞれの回路の出力点、すなわちQAとCAとの接続点の一方を整流回路2に、もう一方をQBのゲートに接続すればQBのゲートは負荷回路と分離されるので、ゲート電圧は負荷回路に電流が流れないぶん高くなりさらに速くノードAの電圧を立ち上げることができる。

本回路の特徴は、先に述べたように出力電圧をブリチャージ回路に帰還することによりブリチャ

ージ電圧を高くし低電源電圧でも高い出力電圧を得ることができることである。例えば、 $VL = 0.8(V)$ 、 $VT = 0.5(V)$ とすれば、帰還がない場合つまりQBがない場合、ノードBの電圧は最大 $1.1V$ （ $\alpha = 1$ のとき、 $2VL - VT$ ）までしか上がらずその結果ノードAは $1.4V$ （ $3VL - 2VT$ ）、VCHは $0.9V$ （ $3VL - 3VT$ ）となる。それにたいしてQBがある場合は、それぞれ $1.6V$ （ $2VL$ ）、 $1.6V$ （ $2VL$ ）、 $1.1V$ （ $2VL - VT$ ）といずれも前者より高くなる。

第17図は、帰還用トランジスタQBがある場合（本発明）と、ない場合（従来方式）との昇圧率を計算機シミュレーションにより比較した結果である。ここで、実線はトランジスタのしきい値電圧が標準のものの、破線はそれが低いものを示している。この図から、従来方式ではいずれも電源電圧が $1 \sim 1.5V$ で急激に低下しているのに対し、本発明では $0.8V$ まで一定であり、低電源電圧でも安定に動作することがわかる。なお、こ

こで整流回路ではトランジスタのしきい値電圧による電圧降下はないものとした。

第13図および第14図に示す実施例は、さらに高い出力電圧を得るための回路である。本実施例の特徴は、整流用トランジスタでの電圧降下を低減させるためそのゲート電圧をチャージポンプ回路の出力電圧と同期させて、出力がHighレベル（ $2VL$ ）のときはそれよりVT以上高く、Lowレベル（VL）のときはVLとしたことである。

第13図においてCPとQDは前述のチャージポンプ回路と整流回路である。また、Q1～Q19、C1～C4が追加した素子で、Q1は整流用トランジスタ、Q3～Q10、C1～C3がQ1のゲート電圧を制御する回路、Q11～Q13、Q15～Q18、C4がゲート昇圧用コンデンサC3の充電回路、Q19がVCHの立上りを早めるためのブリチャージトランジスタである。また、PA、 $\bar{PA}$ はチャージポンプ回路の、PB、 $\bar{PB}$ はゲート電圧制御回路の制御信号であ

る。以下に動作を説明する。

1は、先に述べたチャージポンプでPA、 $\overline{PA}$ が交互にHigh、LowとなることによってノードAの電圧は昇圧されVLと $\beta VL$  ( $\beta \approx 2$ )の間を往復するようになる。このとき、PA、 $\overline{PA}$ は第8図に示すようにHighの期間がお互いに重複しないようにする。これは、第5図で上記 $\overline{PA}$ に相当する $\phi$ が0Vに下がりきらずに、ノードBの電圧がまだVL+VT以上になっているときに、上記PAに相当する $\phi$ が立上りノードAの電圧が上昇するとQAはオン状態であるからQAを通して電源側にCAに貯えられた電荷がもれてしまうからである。

次に、整流回路であるがPA、PBがLow、 $\overline{PA}$ 、 $\overline{PB}$ がHighのときQ4のゲートはC1によりVL+VT以上に昇圧されているからQ1のゲートGの電圧はVLに等しくなっている。このときノードAはVLだからVCHからノードAへの逆流はない。また、Q11のゲートは、Q13、Q18によりC4をVCH (2VL)

なお、この実施例ではPBはPAより先にLowレベルとなるようになっているが、これはQ1のゲート電圧がまだVL+VT以上のときにPAがLowになりノードAの電圧がVLとなり出力からノードAに電荷が逆流するのを防ぐためである。また、Q4、Q7のソースのようにゲート制御回路の最低電位をVLとしているのは、トランジスタの電極間の電位差を小さくするためである。これにより電極間の電位差は2VL以下となり他の部分と同じ微細トランジスタが使用可能となる。

以上が第13図に示した実施例の特徴であるが、同図において、Q7、Q10を削除し、Q9のゲートをQ4のゲートに接続しても同様な効果が得られる。例えば、PBがVL、 $\overline{PB}$ が0のときはノードCがVCH+VL、Q4、Q9のゲートはVLとなるから、Q4はオフ、Q9はオンし、ノードGはVCH+VLとなる。一方、PBが0、 $\overline{PB}$ がVLのときは、ノードCがVCH (2VL)、Q4、Q9のゲートは2VLとなるから、Q4

はVLにプリチャージしたのち $\overline{PA}$  (VL)で昇圧するので、 $3VL - VT$ となる。従って、 $VL \geq 2VT$ ならばVCH (2VL) + VT以上に昇圧されノードCはVCHとなる。このとき、Q10のゲート、ソース間電圧はVCH-VLでVTを超えているからオンしQ9のゲート電圧はノードCと等しくなる。したがって、Q9はオフしノードCからノードGへ電流が流れることはない。

次に、PA、PBがHigh、 $\overline{PA}$ 、 $\overline{PB}$ がLowとなるとノードAは2VL、ノードCはVL+VCHとなる。一方、Q7のゲートはC3によりVL+VT以上に昇圧されるからそのソースはVLとなる。すなわちQ9のゲートはVLとなるからそのゲート、ソース間電圧はVCHとなりQ9はオンしQ1のゲートはVL+ $\gamma$ VCH ( $\gamma \approx 1$ )となる。従って、第11図の実施例のようにVTだけ降下することなく2VLがそのまま出力される。

がオン、Q9がオフし、ノードGはVLとなる。

第15図、第16図は第14図のタイミングを発生するための回路である。第15図においてインバータI5~I8、抵抗R2、コンデンサC2、NANDゲートNA2、NORゲートNO1はPA、 $\overline{PA}$ の重複を防ぐための回路、I2、I3、R1、C1はPAとPBの立ち下がり遅延時間を決めるための回路、I9~I13、NA3はPAとPBの立ち下がり時の遅延をつくる回路である。また、I14~I25はバッファ用のインバータである。これは、段数の奇偶さえ同じなら何段あってもよく、負荷の大きさに応じて調整すれば良い。第16図は前記回路の入力パルスOSCを発生するための回路例である。この回路は一般にリングオシレータと呼ばれている。本回路の特徴は発振周波数の電源電圧による変動を抑えるためにR、Cの時定数をインバータの遅延時間よりも充分大きくするようにしたことである。このため、トランジスタのVTと電源電圧の比が1対3以下でインバータの遅延時間の電源電

圧依存性が大きくても発振周波数は安定になる。

以上の対策に加えて、第11図、第13図の実施例のトランジスタの $V_T$ を低くすることによりさらに低電圧での動作が安定になる。これは、低 $V_T$ 化によりトランジスタの駆動能力が増加するためである。低 $V_T$ 化によりサブスレッショルド電流も増加するが、電圧変換回路の素子数は高々数10個程度なのでチップ全体で見るとほとんど無視できる。一方、ワードドライバ、メモリセルも低 $V_T$ 化により駆動能力が増加するが、前者はMビット級のDRAMで $10^3 \sim 10^4$ 個も使用するためトランジスタのオフ状態で流れる漏れ電流が無視できなくなる。また、後者では電荷の保持時間が短くなりリフレッシュの間隔を短くしなければならぬという問題が生ずる。これは、最も消費電力の増加につながる。従って、 $V_T$ は電圧変換回路は低く、ワードドライバは標準、メモリセルは標準より高く設定するのが最も良いことになる。

以上のように本実施例によれば整流用トランジ

スタのゲート電圧をそのドレイン電圧よりしきい値電圧 $V_{TL}$ 以上高くでき、さらに電荷の逆流も防ぐことができるのでその出力電圧は倍電圧発生回路の理論値である $2V_L$ にまで高めることができる。また、RC遅延を利用した発振回路およびタイミング発生回路を用いることにより発振周波数、タイミング相互の遅延時間が電源電圧変動に対し安定になるので電圧変換効率を常に最良の状態にしておくことができる。また、トランジスタの $V_T$ を3種設け、電圧変換回路は低く、ワードドライバは標準、メモリセルは標準より高くすることにより低電圧での安定化と高速化、低消費電力化を図ることができる。従って、電源電圧が電池1個分の起電力でも安定に動作する半導体集積回路を実現できる。

次に、本発明を中間電圧発生回路に適用した実施例を説明する。なお、以下の実施例の説明の中で、高いほうの電源電圧を表す記号として $V_{CC}$ を用いているが、今まで用いている $V_L$ と異なる必要はなく、そのまま $V_L$ で置き換えてもなら

差し支えない。また、中間電圧を表す記号として $HVC$ を用いているが、今まで用いている $HVL$ と異なる必要はなく、そのまま $HVL$ で置き換えてもなら差し支えない。第18図は本発明による電圧フォロワ回路の構成例である。この回路は、入力に印加された電圧にほぼ等しい電圧を出力し、大きい負荷容量を駆動するようにしたものである。同図(a)で1は第一のコンプリメンタリ・プッシュプル回路であり、NチャネルMOSトランジスタ $TN2$ とPチャネルMOSトランジスタ $TP2$ 、およびバイアス用電圧源 $V_{N1}$ 、 $V_{P1}$ により構成される。2はカレントミラー型のプッシュプル増幅回路であり、カレントミラー回路を成すNチャネルMOSトランジスタ対 $TN1$ と $TN3$ 、PチャネルMOSトランジスタ対 $TP1$ と $TP3$ 、とから構成される。3は第二のコンプリメンタリ・プッシュプル回路であり、NチャネルMOSトランジスタ $TN4$ とPチャネルMOSトランジスタ $TP4$ 、およびバイアス用電圧源 $V_{N2}$ 、 $V_{P2}$ により構成される。

この回路の各種トランジスタや電圧源の定数設定と定常状態における動作を説明する。電圧源 $V_{N1}$ と $V_{P1}$ の値は、それぞれトランジスタ $TN2$ と $TP2$ のゲートしきい値電圧にほぼ等しくなるように選んでいる。これにより、どの様な動作条件下においてもトランジスタ $TN2$ と $TP2$ の両方が同時にカットオフすることがないようにしている。このため、出力インピーダンスが高くなって、電位が定まらなかったり、負荷条件によって出力電圧がふらついたりするのを防ぐことができる。電圧源の値をトランジスタのゲートしきい値電圧にほぼ等しくすることにより、定常状態において二つのトランジスタを貫通して流れる電流を低い値に抑え、集積回路の待機時の電力を小さくしながら、高い負荷駆動能力を得るようにしている。このようなバイアス条件での動作は一般にAB級動作と称される。さて、 $TN2$ と $TP2$ に流れる電流値を、それぞれ $I_{C1}$ 、

$I_{D1}$ とすると、これらの電流は、それぞれPチャネルMOSトランジスタ対 $TP1$ と $TP3$ 、N

チャネルMOSトランジスタ対TN1とTN3とからなるカレントミラー回路により、TP3を流れる電流IC2、TN3を流れる電流ID2に変換される。IC1とIC2の電流比は、トランジスタTP1とTP3のβ比に、ID1とID2の電流比（ミラー比）は、トランジスタTN1とTN3のβ比に、それぞれほぼ等しくなる。すなわち、

$$M_P = \frac{I_{C2}}{I_{C1}} = \frac{\beta_{TP3}}{\beta_{TP1}}$$

$$M_N = \frac{I_{D2}}{I_{D1}} = \frac{\beta_{TN3}}{\beta_{TN1}}$$

である。この比を1以上の値にすることにより、電流を増幅し、次段の負荷（端子6、7）の駆動能力を高めることができる。本発明では、この比を1～10程度の値に選んでいる。電圧源VN2とVP2の値は、第一のプッシュプル回路と同様、それぞれトランジスタTN4とTP4のゲートしきい値電圧にほぼ等しくなるようにしている。これにより、第二のプッシュプル回路もAB級動作

を行なうようにしている。

さて、第一のプッシュプル回路が定常状態すなわちIC1=ID1が成り立っている状態からずれた場合にどうなるかを説明する。出力電圧を定常状態から強制的に電圧δVだけ変えたときの電流値は、以下のように表される。

$$I_{C1} - I_{D1} = -(\sqrt{2\beta_N I} + \sqrt{2\beta_P I}) \times \delta V + \frac{(\beta_N - \beta_P)}{2} \delta V^2$$

ここに、βNとβPはそれぞれトランジスタTN2とTP2のβを、Iは定常状態において第一のプッシュプル回路に流れる電流（すなわちI=IC1=ID1）をそれぞれ示している。

今、簡単のために、TN2とTP2の特性がほぼそろっており、βNとβPが等しい（β=βN=βP）と仮定すると、上式は

$$I_{C1} - I_{D1} \approx -2\sqrt{2\beta I} \times \delta V$$

となる。また、二つのカレントミラー回路のミラ

ー比が等しい（M=MN=MP）とすると、

$$I_{C2} - I_{D2} \approx -2 \times M \times \sqrt{2\beta I} \times \delta V$$

となる。

例えば、M=5、β=1mA/V<sup>2</sup>、I=0.2μAとすると、出力電圧が0.1V低下したとき（δV=-0.1V）には、IC2-ID2=20μAとなる。

すなわち、出力電圧の0.1Vの微小な変化に対してもIC2とID2の定常電流1μA（0.2μA×5）に対して十分大きな20μAの駆動電流が得られる。したがって、出力電圧のわずかな変化に対しても端子6を最小VSSまで、また端子7を最大VCCまで、電源電圧範囲の限界まで駆動することができる。駆動する方向は、出力電圧が低下したときには端子7がVCCに、出力電圧が上昇したときには端子6がVSSに駆動される。これにより、出力電圧に誤差がある場合には、誤差を増幅した信号で第二のプッシュプル回路を駆動し、出力電圧の誤差を無くすように動作する。したがって、従来例のように単にソースフォロウ回路で

駆動する場合に比べて、格段に高い駆動能力を持たせることができる。また、定常状態のバイアス電流を十分低い値に抑えても、誤差を増幅することにより高い駆動電流を得ることができる。また、この回路は上式からも容易にわかるように、誤差の方向に対して対称に動作するため、出力の充電と放電に対して同じ駆動能力を得ることができる。

次に、本回路の電圧フォロフとしての精度について説明する。本回路は、出力電圧の誤差を第一のプッシュプル回路で検出し、それを増幅した信号で第二のプッシュプル回路を駆動するようにしている。したがって、出力電圧精度（入出力電圧差）は第一のプッシュプル回路の電圧精度（入出力電圧差）で決定される。第一のプッシュプル回路において、定常状態すなわちIC1=ID1が成り立つ条件を求めると、入力電圧V(IN)と出力電圧V(OUT)の関係が得られ、次式のようになる。

$$V(OUT) - V(IN) = \frac{\beta_N \times (V_{N1} - V_{TN}) - (V_{P1} - V_{TP})}{\beta_N + 1}$$



ここに、

$$\beta_R = \sqrt{\beta_{TN2} / \beta_{TP2}}$$

であり、また $V_{TN}$ と $V_{TP}$ はそれぞれNチャネルおよびPチャネルMOSトランジスタのゲートしきい値電圧の絶対値である。この式から明らかに、 $V_{N1}$ と $V_{P1}$ にそれぞれ $V_{TN}$ と $V_{TP}$ の变化に追従して変化する特性をもたせ、かつトランジスタの $\beta$ を適正に選ぶことにより、製造プロセスのばらつき等によりNチャネルトランジスタとPチャネルトランジスタの素子特性が独立に変化しても、出力と入力の電圧差を零にすることができる。上述したような電圧源は、次の実施例で説明するように、各チャネル導電型のMOSトランジスタのゲートとドレインを接続し、それに所定の電流を流す事により容易に構成することができる。一般に、異なる導電形の素子間では特性にばらつきがあっても、同じ導電型のトランジスタは同じ製造工程を経るため、素子間の特性差は十分小さな値に抑えることができる。特に、

に対して $I_{D1}$ が増大し、端子6の電圧 $V(6)$ をほぼ $V_{SS}(0V)$ まで引き降す。これにより、トランジスタ $TP4$ の駆動能力が増加し、出力 $OUT$ を高速に放電する。時刻 $t_2$ を過ぎて、出力電圧と入力電圧の差が小さくなるとトランジスタ $TN2$ が導通し始め、最終的に入出力間の電圧差が無くなる時刻 $t_2$ において $I_{C1} = I_{D1}$ となり、定常状態になる。入力電圧が上昇する時には、これと対称に端子7の電圧が $V_{CC}$ まで上昇し、出力を高速に充電する。

以上説明したように、本発明によれば、製造工程のばらつきがあっても、入出力電圧間の誤差が少なく、過渡時においては、大容量の負荷を高速に充放電することのできる電圧フォロウを提供することができる。なお、本回路は電圧フォロウとしての応用以外にも、出力端子 $OUT$ に信号電流を入力し、端子6か7から出力を取り出すことにより、高性能な電流検出回路として用いることも可能である。

次に第20図を用いて、先に示した回路をダイ

加工形状のばらつきなどに対しては、ゲート幅やゲート長を加工精度に比べて十分大きな値で設計することにより、さらに、素子対間の特性差を小さなものにすることができる。例えば、ゲートしきい値電圧を例にとると、同じ導電型の素子対間での差は、容易に20~30mV程度以下にすることができるが、異なる導電型の素子間では、その差のばらつきが最大200mV程度と、約一桁も大きな値になるのが通例である。以上説明したとおり、第一のプッシュプル回路の電圧精度（入出力電圧差）は、トランジスタ対のしきい値電圧差で決まる20~30mV程度と従来方式の約一桁低い値に抑えられる。

さて、次に過渡時の動作を同図(b)を用いて説明する。今、入力電圧 $V(I_N)$ が時刻 $t_0$ から $t_1$ にかけて降下し、時刻 $t_4$ から $t_5$ にかけて上昇した場合を考える。入力電圧が降下した直後は出力がすぐに追従しないので、トランジスタ $TN2$ は時刻 $t_1$ から $t_2$ にかけてカットオフ状態となり、電流 $I_{C1}$ の値はほぼ0となる。これ

ナミックメモリの中間電圧( $V_{CC}/2$ )発生回路に適用した実施例を説明する。第20図(a)は本発明による中間電圧発生回路の構成例である。同図において、30は基準電圧発生回路、31は第一のコンプリメンタリ・プッシュプル回路、32はカレントミラー型増幅回路、33は第二のコンプリメンタリ・プッシュプル回路である。基準電圧発生回路は、等しい抵抗値を有する二つの抵抗 $R_3$ と $R_4$ とにより電源電圧を半分に分圧することにより、端子34に中間電圧を発生している。抵抗 $R_3$ と $R_4$ に同種の素子を用いることにより、中間電圧には、かなり精度の高い値を得ることができる。なお、中間電圧を得るための素子は抵抗に限らず、例えばMOSトランジスタ等を用いても同様の回路が構成できることは自明である。第一のプッシュプル回路は、基本的に第18図(a)に示したプッシュプル回路1と同じである。ここでは、電圧源 $V_{N1}$ の代わりに、抵抗 $R_5$ とNチャネルMOSトランジスタ $TN10$ を、電圧源 $V_{P1}$ の代わりに、抵抗 $R_6$ とPチャネル

MOSトランジスタTP10を、それぞれ用いている。こうすることにより、先の実施例でも説明したように、常に端子35の電圧を入力端子34に対して、ほぼNチャネルMOSトランジスタのゲートしきい値電圧分だけ高い値に自動的に設定することができる。なお、R5やR6を流れる電流が、R3やR4を流れる電流の幾分の一から十分の一程度の小さな値になるように、低抗値を選んでいる。これは、NチャネルトランジスタとPチャネルトランジスタの特性が独立にばらついて、プッシュプル回路から基準電圧発生回路に流入（あるいは流出）する電流値が変動しても、端子34の電圧が影響を受けて変動しないようにするためである。32のカレントミラー型増幅回路は第18図(a)に示したカレントミラー型増幅回路2と全く同じ構成である。第二のプッシュプル回路は、基本的に第18図(a)に示したプッシュプル回路3と同じである。ここでは、電圧源VN2の代わりに、NチャネルMOSトランジスタTN14を、電圧源VP2の代わりに、Pチャ

ネルMOSトランジスタTP14を、それぞれ用いている。こうすることにより、第一のプッシュプル回路の場合と同様、プッシュプル回路に流れるバイアス電流の値が、トランジスタのしきい値電圧の変化に対して変動しないようにしている。以上のような回路構成とすることにより、出力HVCには精度の高い中間電圧を得ることができ、かつ負荷容量CLを高速に充放電することができる。

第20図(a)に示した本回路方式と第19図に示した従来回路方式の性能比較を計算機解析により求めた結果を第20図(b)および(c)に示す。第20図(b)において、横軸はNチャネルトランジスタとPチャネルトランジスタのゲートしきい値電圧の絶対値の差、縦軸は中間電圧の値である。この結果より、従来回路においては、しきい値電圧差が±0.2V変動したときには、出力電圧が約±100mV(0.75Vに対して約±13%)変動するのに対して、本発明の回路では出力電圧変動は約±8mV(0.75Vに対

して約±1%)と、従来に比べて一桁以上低減することができる。第20図(c)は電源投入後の出力電圧の立上り時間を電源電圧に対してプロットしたものである。立上り時間は、出力の電圧が定常値の90%に達する時間で定義している。また、負荷容量の値には、64MビットDRAMのビット線プリチャージ電源およびプレート電極の総容量を想定している。この解析結果からもわかるように、本発明の回路によれば、従来回路に比べて約一桁短い時間で負荷を立ち上げることができる。

第21図(a)は本発明の他の一実施例を示す回路構成図である。四図において、40はコンプリメンタリ・プッシュプル型の電圧フォロウ回路、41はトライステート・バッファである。電圧フォロウ回路は、基本的には第18図(a)のプッシュプル回路1と同じである。ここでは、プッシュプル回路の駆動能力を補うようにトライステート・バッファが動作する。トライステート・バッファは負荷駆動用のPチャネルトランジスタ

TP21とNチャネルトランジスタTN21、これらトランジスタを駆動する二つの差動型増幅回路(コンパレータ)AMP1とAMP2、および、オフセット量の設定のための二つの電圧源VOSLとVOSHとから構成される。この回路の動作は次の三つの電圧の条件のいずれにあてはまるかによってきまる。

$$(1) V(OUT) > V(IN) + VOSH$$

$$(2) V(IN) + VOSH > V(OUT) > V(IN) - VOSL$$

$$(3) V(IN) - VOSL > V(OUT)$$

(1)の電圧条件においては、端子43の電圧よりも出力OUTの電圧が高くなり端子45の電圧は高い電圧レベル(VCC)になる。また、端子44の電圧も高い電圧レベル(VCC)になる。したがって、NチャネルトランジスタTN21が導通、PチャネルトランジスタTP21がカットオフとなり、負荷を放電する。(2)の電圧条件においては、端子43の電圧よりも出力OUTの電圧が低くなり端子45の電圧は低い電圧レベル(VSS)になる。また、端子44の電圧は高い

電圧レベル(VCC)を保つ。したがって、二つのトランジスタTN21とTP21は共にカットオフとなり、出力は高インピーダンス状態になる。

(3)の電圧条件においては、端子42の電圧よりも出力OUTの電圧が低くなり端子44の電圧は低い電圧レベル(VSS)になる。また、端子45の電圧は低い電圧レベル(VSS)を保つ。したがって、NチャネルトランジスタTN21がカットオフ、PチャネルトランジスタTP21が導通となり、負荷を充電する。このように、出力の電圧が入力電圧を中心としたある一定範囲を越えて大きくなると放電、一定範囲を越えて小さくなると充電、一定範囲内にあれば充電も放電もしないという三つの状態(トライステート)を有する駆動回路を実現できる。この回路の過渡時の動作を図(b)に示す。今、入力電圧V(IN)が時刻t0で低下し、時刻t2で上昇した場合を考える。立ち下がり時においては、時刻t0から出力の電圧が「(定常状態での電圧)+VOSH」に等しくなる時刻t1まで端子45の電圧が

VCCになり、トランジスタTN21を導通させ、負荷を放電する。また、立ち上がり時においては、時刻t2から出力の電圧が「(定常状態での電圧)-VOSL」に等しくなる時刻t3まで端子44の電圧がVSSになり、トランジスタTP21を導通させ、負荷を充電する。

このように、プッシュプル回路にトライステート・バッファを組合せることにより、入出力間の電圧誤差がある程度以上大きくなった時には、駆動能力の高いトランジスタを導通させることにより、過渡時の応答速度を高めることができる。オフセット量の設定のための二つの電圧源VOSLとVOSHの値はなるべく小さな値にしたほうが設定電圧への収束を速めることができるが、誤動作を避けるために、差動型増幅回路(コンパレータ)AMP1とAMP2の入力オフセット電圧よりも十分大きな値にする必要がある。MOSTランジスタで回路を構成する場合には、この値は50mV以上にするのが望ましい。なお、トライステート・バッファの回路構成は、ここに示した

例に限らず、同様の機能を実現するものであれば、他の方式であっても差し支えない。

次に第22図を用いて、トライステート・バッファを用いた電圧フォロワをダイナミックメモリの間電圧(VCC/2)発生回路に適用した実施例を説明する。第22図(a)は本発明による中間電圧発生回路の構成例である。第22図(a)において、50は基準電圧発生回路、51は第18図で説明した電圧フォロワ回路、52はトライステート・バッファである。これは、第20図(a)に示した中間電圧発生回路にトライステート・バッファを付加することにより、入出力間の電圧の誤差が大きくなったときの復元能力を高めている。以下、トライステート・バッファの構成と動作について説明する。本実施例の特徴は、第一のプッシュプル回路をそのまま利用し、カレントミラー回路のミラー比の差を利用して誤差電圧を検出しトライステートバッファを起動する点にある。第22図(a)において、TP36とTP37はPチャネルMOSTランジスタ、

TN36とTN37はNチャネルMOSTランジスタ、INV1とINV2はインバータ、TP38はインバータINV1の出力で負荷を駆動するようにしたPチャネルMOSTランジスタ、TN38はインバータINV2の出力で負荷を駆動するようにしたNチャネルMOSTランジスタを、それぞれ示している。TP32とTP36、TP32とTP37、TN32とTN36、TN32とTN37とが、それぞれカレントミラー回路を構成している。今、トランジスタTN31に流れる電流をIC1、トランジスタTP31に流れる電流をID1、トランジスタTN36に流れる電流をID2、トランジスタTP36に流れる電流をIC2、とそれぞれ置く。出力電圧の誤差δVとIC1、ID1の関係は、先に説明したように、

$$IC1 - ID1 \approx -2\sqrt{2\beta I} \times \delta V$$

と近似することができる。カレントミラー回路のミラー比を、

$$M_{P1} = \frac{I_{C2}}{I_{C1}} = \frac{\beta_{TP36}}{\beta_{TP33}}$$

$$M_{N1} = \frac{I_{D2}}{I_{D1}} = \frac{\beta_{TN36}}{\beta_{TN33}}$$

とすると、下式のようになる。

$$\frac{I_{C2}}{M_{P1}} - \frac{I_{D2}}{M_{N1}} \approx -2 \sqrt{2\beta I} \times \delta V$$

今、出力にオフセット電圧  $V_{os}$  を印加したときに、 $I_{C2} = I_{D2}$  となるとし、その時の電流値を  $I_2$  と置くと、オフセット電圧  $V_{os}$  は

$$V_{os} \approx \frac{I_2}{2 \times \alpha} \times \frac{(M_{P1} - M_{N1})}{M_{N1} \times M_{P1}}$$

と表される。ここで、

$$\alpha = \sqrt{2\beta I_1}$$

また  $\beta$  は第一のプッシュプル回路を構成するトランジスタの  $\beta$ 、 $I_1$  は定常状態において第一のプッシュプル回路に流れる電流である。例えば、 $I_1 = 0.2 \mu A$ 、

$$I_2 = 1 \mu A, \beta = 1 mA/V^2, M_{N1} = 1, M_{P1} = 0.$$

る必要がないため、消費電力が小さく、かつ簡単に構成で高い性能を実現することができる。

本回路方式と第19図に示した従来回路方式の性能比較を計算機解析により求めた結果を第22図(b)に示す。第22図(b)は電源投入後の出力電圧の立上り時間を電源電圧に対してプロットしたものである。立上り時間は、出力の電圧が定常値の90%に達する時間で定義している。また、負荷容量の値には、64MビットDRAMのビット線プリチャージ電源およびプレート電極の総容量を想定している。この解析結果からもわかるように、本発明の回路によれば、先に第20図(a)で示した実施例よりも、さらに立上り時間を約半短縮することができる。従来回路に比べると約一桁半短い時間で負荷を立ち上げることができる。以上説明したように、プッシュプル回路にトライステート・バッファを組合せることにより、さらに高速に入力に追従することの可能な電圧フォロウ回路を供することができるようになる。なお、電圧の設定精度はプッシュプル回路によ

2とすると、オフセット電圧  $V_{os}$  の値は

-100mVとなる。すなわち、出力電圧が定常値から100mV以上低下すると、インバータ  $INV1$  の入力電圧は低レベルから高レベルに、出力電圧は高レベルから低レベルに移移して駆動用のPチャネルMOSトランジスタ  $TP38$  を導通させ、負荷を充電する。これと同様に、トランジスタ  $TP37$  と  $TN37$  の定数を適当に選ぶことにより、所定のプラス側のオフセットがあったときに、NチャネルMOSトランジスタ  $TN38$  を導通させ、負荷を放電するようにすることができる。

以上、説明したように、本実施例に示したような回路構成をとることにより、第21図に示したのと同様な機能を実現することができる。また、この回路方式では、カレントミラー回路のミラー比によってオフセット量を決めているため、トランジスタ対の特性差が小さくなるように配慮すれば、オフセット量を精度良く設定することができる。さらに、高精度の差動型増幅回路を別に設け

て決まるため、先の実施例の場合と同様、入出力間の電圧誤差を極めて小さな値にすることができる。

以上の実施例では、集積回路(LSI)中の大容量負荷を高速で駆動する回路構成について説明した。しかしながら、さらに高速に駆動しようとすると、充放電に際しての過渡電流が大きな問題になる。例えば、64Mビット程度のDRAMの中間電圧発生回路の負荷容量は115nF程度になるが、これを5μsの間に振幅1Vで駆動したときの電流値は23mAに達する。これは、DRAMの消費電流値に匹敵する大きさであり、これ以上高速に駆動することは、主たる回路特性への影響、例えば電源線の雑音発生や、駆動信号配線の信頼性低下などを招く危険があるため、好ましくない。一般に、超高集積のLSI、特にメモリにおいてはLSI全体を同種の複数のブロックで構成し、動作時には、それらブロックの内の一部のみを活性化するような構成をとることが多い。こうしたLSIにおいては、以下に述

べる実施例を適用することが有効である。

第23図はダイナミック・メモリ(DRAM)の中間電圧供給方式に本発明を適用した実施例を示している。同図(a)において、MB0、MB1~MBiはi+1個のメモリ・ブロック、60~62はワード線選択回路、68~70は各メモリ・ブロックからの中間電圧引出線、76と77は二組の中間電圧発生回路、74と75は二組の中間電圧発生回路から各メモリ・ブロックに中間電圧HVC1とHVC2を供給する信号線、71~73は二つの信号線の内のいずれかをメモリ・ブロックに供給するように各ブロック毎に設けたスイッチである。また、メモリ・ブロックMB0は、メモリセルを二次元に配列したメモリセルアレイMA0、メモリセルから読出した信号を増幅して外部に出力したり外部からの信号をメモリセルに書き込んだりする入出力制御回路ブロックMC0、入出力回路67等から構成される。DL0、 $\overline{DL0}$ 、DLi、 $\overline{DLi}$ はメモリセルに信号を伝送するデータ線、63は蓄積容量の対向

電極を成すプレート電極、64は非選択時にデータ線を中間電圧にするために配されたプリチャージ電圧供給線、PCはプリチャージ信号線、SA0~SAjはメモリセルから読出した信号を検知増幅するセンスアンプ、65と66は入出力回路67と各データ線との間の信号伝送を行なう共通入出力線対、IO0~IOjはアドレス指定信号によって選択されたデータ線対と共通入出力線対との間の接続を制御するIOゲートである。

今、仮にi+1個のメモリ・ブロックの内、一つのブロックMB0のみが選択され、動作状態になる場合を考える。この時、ワード線選択回路60によってMA0の中の本一のワード線が選択され、高レベルに遷移する。と同時に、スイッチ71が制御され、中間電圧引出線68は中間電圧供給用の信号線75に接続される。一方、非選択状態にあるメモリ・ブロックMB1~MBiからの引出線69や70は、中間電圧供給用の信号線74に接続される。このようにすると、中間電圧発生回路76にはi個のメモリ・ブロックの負荷

が接続されるのに対して、中間電圧発生回路77には一つのメモリ・ブロックの負荷しか接続されない。例えば、i=15とすると、中間電圧発生回路77が駆動する負荷容量は、中間電圧発生回路76が駆動する負荷容量の15分の1になる。したがって、仮に76と77に同じ回路を用いても、選択されたブロックMB0の中間電圧は非選択ブロックの中間電圧に比べて15倍高速に動作するようになる。回路の性能の点からは、非選択のメモリ・ブロックの応答速度はメモリの性能には無関係であるから、過渡電流をほとんど増大させることなく、メモリ全体の性能向上を図ることができる。第23図(b)はメモリ動作の間に電源電圧が変動した場合の中間電圧の時間変化を示している。すなわち、時刻t0からt2の間に電圧VCCが低下したとする。また、時刻t0からt1の間および時刻t3以後はメモリ・ブロックMB0が、時刻t1からt3の間はメモリ・ブロックMB1が選択されるとする。時刻t0からt1の間は、ブロックMB1は非選択であるため、

中間電圧V(69)はゆっくり応答しているのに対して、ブロックMB0は選択されているため、中間電圧V(68)は高速に追従している。時刻t1でブロックMB1が選択、ブロックMB0が非選択に切り替わると、今度はV(69)が設定すべき電圧に向け、速やかに変化する。このように、本実施例によれば、ダイナミックメモリの中間電圧のような大容量の負荷を、過渡電流をほとんど増大させることなく、実質的に高速に駆動することが可能になる。なお、この例では、ダイナミックメモリの中間電圧に本発明を適用した例について説明したが、適用範囲はこれに限るものではなく、何種のブロックで構成され、動作時はその内の一部が活性化されるような集積回路一般に適用することができる。

以上、各実施例によって本発明の詳細を説明したが、本発明の適用範囲はこれらに限定されるものではない。例えば、ここではCMOSトランジスタによりLSIを構成する場合を主に説明したが、バイポーラトランジスタを用いたLSI、接

が接続されるのに対して、中間電圧発生回路77には一つのメモリ・ブロックの負荷しか接続されない。例えば、i=15とすると、中間電圧発生回路77が駆動する負荷容量は、中間電圧発生回路76が駆動する負荷容量の15分の1になる。したがって、仮に76と77に同じ回路を用いても、選択されたブロックMB0の中間電圧は非選択ブロックの中間電圧に比べて15倍高速に動作するようになる。回路の性能の点からは、非選択のメモリ・ブロックの応答速度はメモリの性能には無関係であるから、過渡電流をほとんど増大させることなく、メモリ全体の性能向上を図ることができる。第23図(b)はメモリ動作の間に電源電圧が変動した場合の中間電圧の時間変化を示している。すなわち、時刻t0からt2の間に電圧VCCが低下したとする。また、時刻t0からt1の間および時刻t3以後はメモリ・ブロックMB0が、時刻t1からt3の間はメモリ・ブロックMB1が選択されるとする。時刻t0からt1の間は、ブロックMB1は非選択であるため、

合型FETを用いたLSI、CMOSトランジスタとバイポーラトランジスタを組合せた

BiCMOS型のLSI、さらにはシリコン以外の材料、例えばガリウム砒素などの基板に素子を形成したLSIなどでも、そのまま適用できる。

また本実施例の中では電流増幅回路としてカレントミラー回路を用いたが、他の電流増幅回路を用いることもできる。

#### (発明の効果)

本発明は以上説明したように、データ線とI/O線とを接続する入出力制御回路をメモリセルアレーの左右に交互に配置し、かつ、データ線とI/O線との伝達インピーダンスを読みだし動作と書き込み動作とで変化させる回路構成にしたことで、低電圧でも高速にしかも安定に動作させることができる。

また、本発明は並列テストにも適しており、テスト時間の大幅な短縮が実現できる。

さらに、本発明によればワード線のドライフトランジスタは、そのゲート電圧がLowレベルで

動作するので、電源電圧が低下してもワードドライバとして安定に動作する。またデータ線電圧V<sub>L</sub>を、常に、データ線電圧V<sub>L</sub>よりメモリセルのスイッチトランジスタのしきい値電圧V<sub>T</sub>分以上高い電圧V<sub>CH</sub>に昇圧してワードドライバの電圧として動作している電圧変換回路は、その電流用トランジスタのゲート電圧をそのドレイン電圧よりしきい値電圧以上高くでき、さらに電荷の逆流も防ぐことができるのでその出力電圧を倍電圧発生回路の理論値である2V<sub>L</sub>にまで高めることができる。また、RC遅延を利用した発振回路およびタイミング発生回路を用いることにより発振周波数、タイミング相互の遅延時間が電源電圧変動に対し安定になるので電圧変換効率を常に最良の状態にしておくことができる。さらにトランジスタのしきい値電圧を3種に選択することにより、低電圧での安定化、高速化、低消費電力化を図ることができる。そしてこれらによって、電源電圧が電池1個分の起電力でも安定に動作する半導体集積回路を実現できる。

また、さらに本発明によれば、超高集積のLSIにおいて、高い電圧精度で大きな負荷容量を高速に駆動する回路構成、あるいは、大きな過渡電流を流すことなく、大きな負荷容量を高速に駆動する回路方式を提供できる。例えば、従来回路ではトランジスタのしきい値電圧差が0.2Vあると出力電圧が0.75Vに対して約13%変動するような場合に、本発明によれば約1%に抑制されるというように電圧精度が一桁以上向上し、また、電源投入後の出力電圧の立ち上がり時間が従来回路に対して約一桁以上改善されるように高速応答性が得られる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す図、第2図は本発明の効果を示す図、第3図は第1図を用いたことによる効果を更に高めた実施例を示す図、第4図は複数のメモリセルアレーが存在した場合の実施例を示す図、第5図は並列テストの実施例を示す図、第6図はメモリセルへ任意の書き込み電圧を書き込むための実施例を示す図、第7図、

第11図、第13図、第15図、第16図は本発明の実施例、第8図、第12図、第14図はそれらのタイミングチャート、第9図、第10図は従来例とそのタイミングチャートである。また第17図は第11図の実施例の効果を示す図、第18図(a)は本発明の基本概念を説明する実施例、第18図(b)はその過渡時の動作を説明する図、第19図はDRAM用中間電圧発生回路の従来例、第20図(a)は本発明をDRAMの中間電圧発生回路に適用した具体的実施例、第20図(b)および第20図(c)は本発明の効果を説明する図、第21図(a)は本発明の他の基本概念を説明する実施例、第21図(b)はその動作を説明する図、第22図(a)はそれをDRAMの中間電圧発生回路に適用した具体的実施例、第22図(b)はその効果を説明する図、第23図(a)は本発明の他の基本概念をDRAMの中間電圧駆動方式に適用した具体的実施例を説明する図、第23図(b)はメモリ動作の間に電源電圧が変動した場合の図面(a)の実

施例の中間電圧変化を説明する図である。

MA…メモリアルレー、CKT…入出力制御回路、RG0, RG1…読みだしゲート、

WG0, WG1…書き込みゲート、

SA0, SA1…センスアンプ、

SWR0, SWR1…読みだしスイッチ、

SWW0, SWW1…書き込みスイッチ、

RO,  $\overline{RO}$ …読みだし線、

WI,  $\overline{WI}$ …書き込みI/O線、

d<sub>y</sub>…データ線ピッチ

WD…ワードドライバ、

XD…Xデコーダ、

VLG…メモリアルレー用電圧変換回路、

VCHG…ワード線用電圧変換回路、

W…ワード線、

$\overline{\phi P}$ …プリチャージ信号、

FX…ワード線駆動パルス発生回路、

$\phi X$ …ワード線駆動パルス、

CP…チャージポンプ回路、RECT…整流回路、

VL…データ線電圧あるいは内部（アレー用）電

圧、VCH…ワード線用電圧変換回路出力電圧、

$\phi$ ,  $\overline{\phi}$ , PA,  $\overline{PA}$ , PB,  $\overline{PB}$ …ワード線用電圧変換回路用昇圧パルス、

OSC…リングオシレータ出力パルス、

C, C1, C2, C3, C4, CA, CB, CD…コンデンサ、

R, R1, R2…抵抗、

QD1, QP, Q9, Q10…PチャネルMOSトランジスタ、

QT, QD2, QS, QD, QA, QB, QC, QP, Q1, Q8, Q11, Q19…NチャネルMOSトランジスタ、

I1, I25, I30, I33…インバータ、

NA1, NA2…NAND回路、

NO1…NOR回路、VEXT…外部電源電圧

1, 31, 40…第一のコンプリメンタリ・プッシュアップ回路、

2, 32…カレントミラー型プッシュアップ増幅回路、

3, 33…第二のコンプリメンタリ・プッシュアップ回路、

30, 50…基準電圧発生回路、

41, 52…トライステート・バッファ、

AMP1, AMP2…差動型増幅回路、

MB0~MBi…メモリ・ブロック、

G0~G2…ワード線選択回路、

71~73…スイッチ、

76, 77…中間電圧発生回路（駆動回路）、

MA0…メモリアルレー、

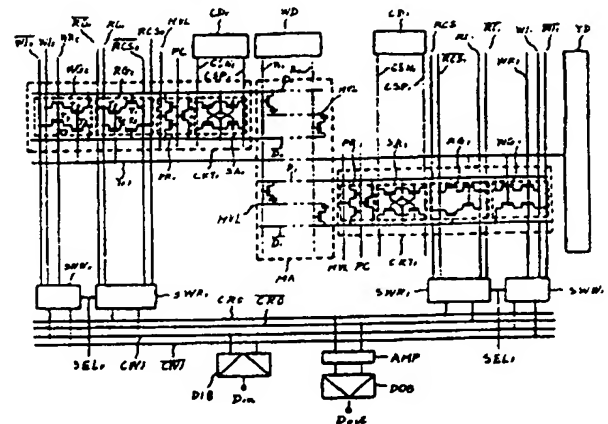
MC0…信号増幅および入出力制御回路群、

SA0~SAj…検知増幅回路（センスアンプ）、

IO0~IOj…入出力ゲート、

67…入出力回路

第1図 (a)



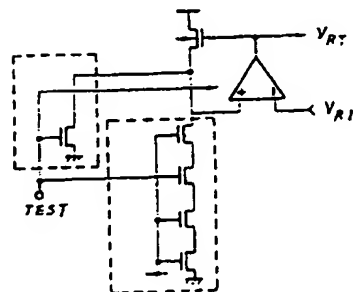
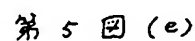
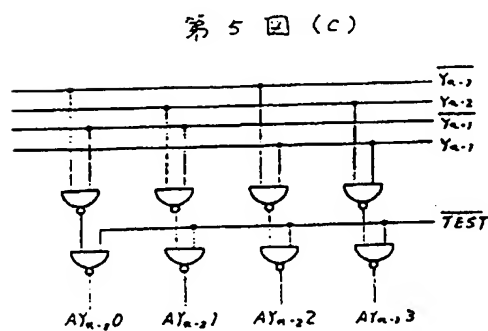
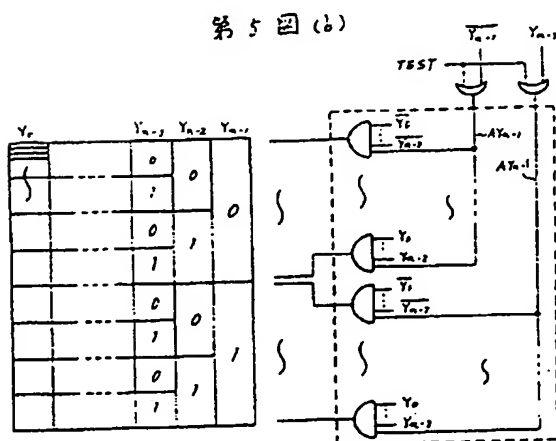
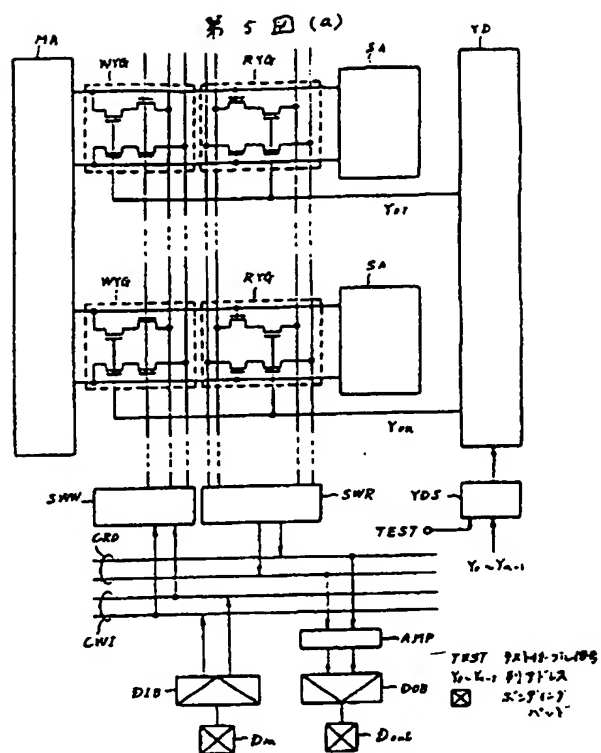
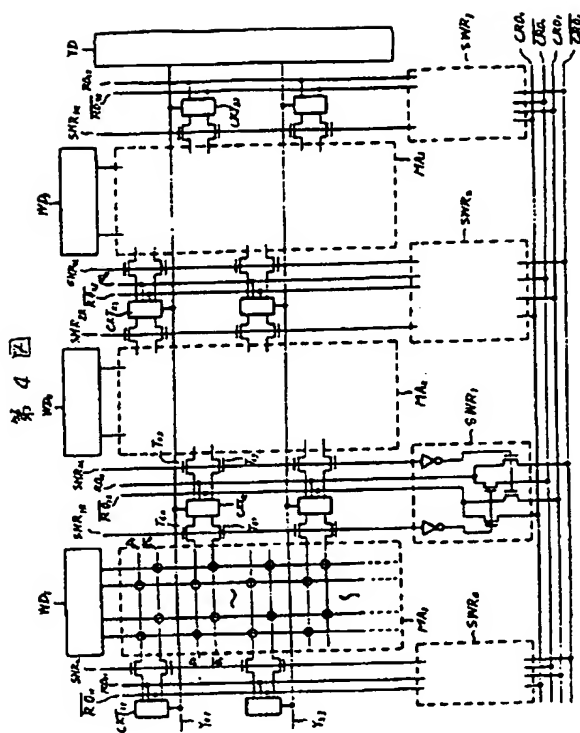
MA メモリアルレー  
WD ワード線駆動回路  
YD アドレス選択回路  
C<sub>0</sub>, C<sub>1</sub> セル読み書き制御回路  
RG<sub>0</sub>, RG<sub>1</sub> 読みだしゲート  
WG<sub>0</sub>, WG<sub>1</sub> 書き込みゲート  
SA<sub>0</sub>, SA<sub>1</sub> センスアンプ  
RO<sub>0</sub>, RO<sub>1</sub> 読みだし線  
WI<sub>0</sub>, WI<sub>1</sub> 書き込み線  
SWR<sub>0</sub>, SWR<sub>1</sub> 読みだしスイッチ  
SWW<sub>0</sub>, SWW<sub>1</sub> 書き込みスイッチ

代理人 井理士 小川勝男

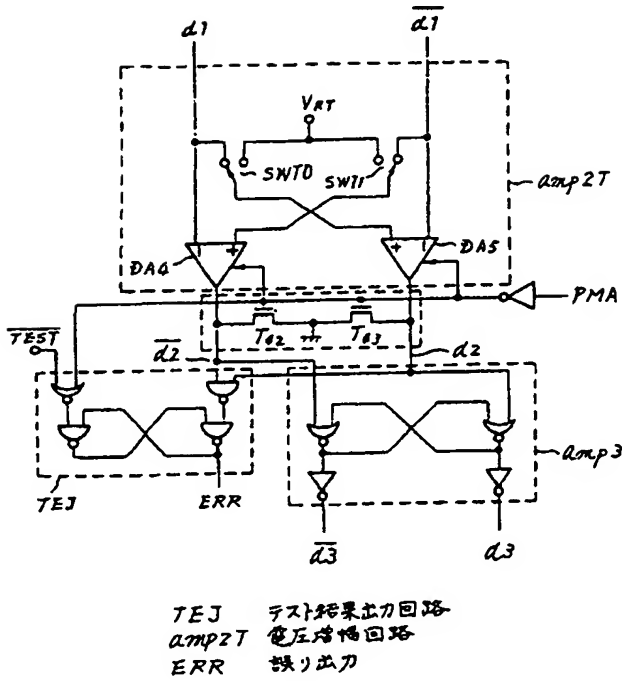




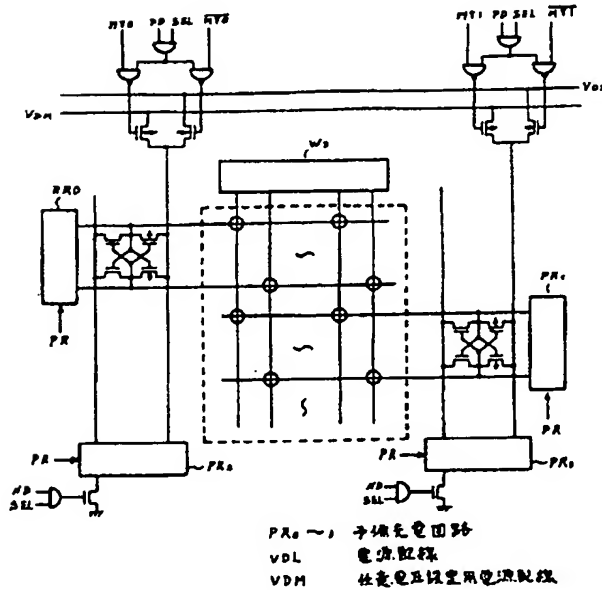




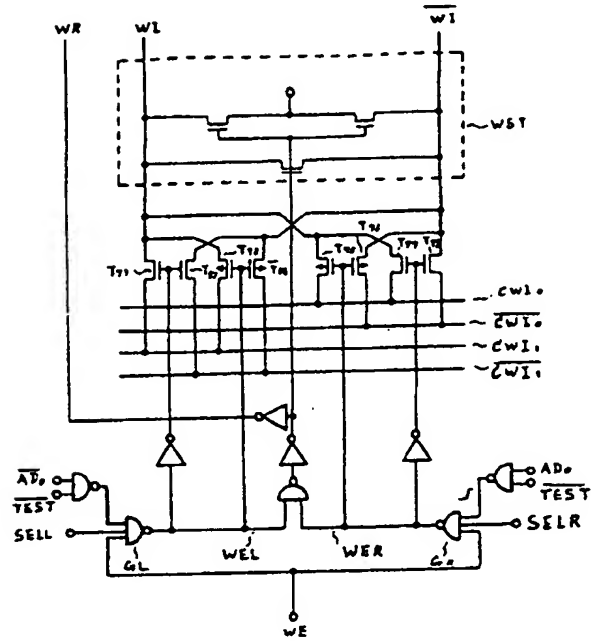
第 5 圖 (d)



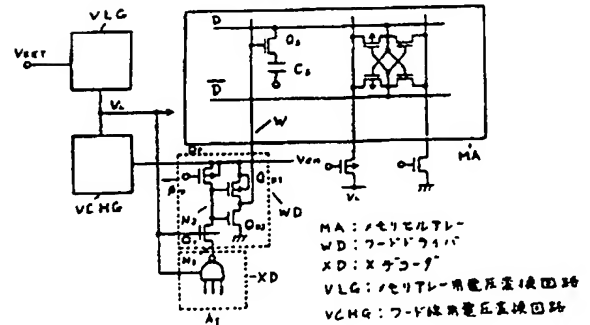
第 6 回



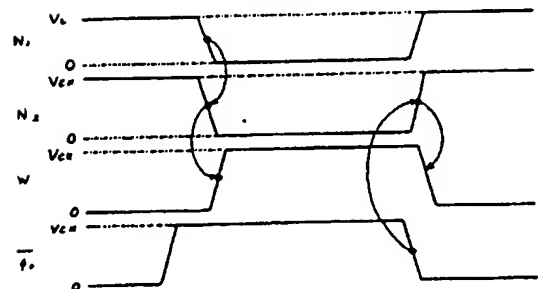
第 5 圖 (f)



第 7 回

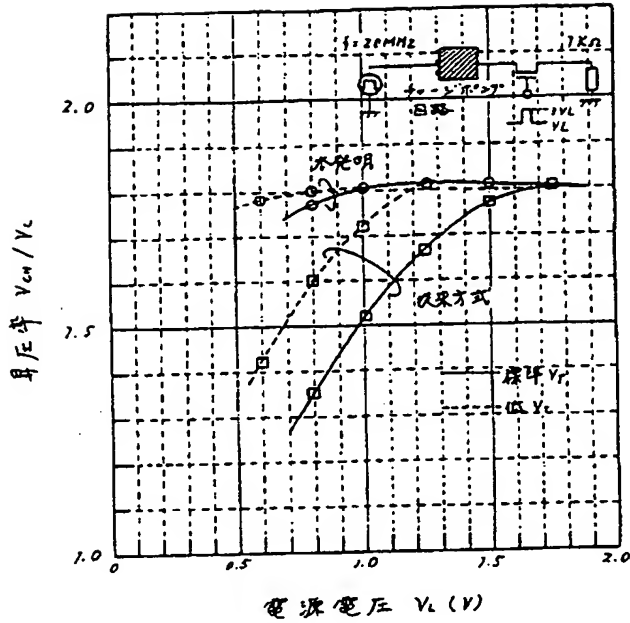


第 8 回

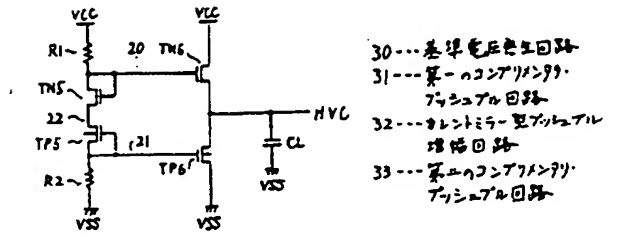




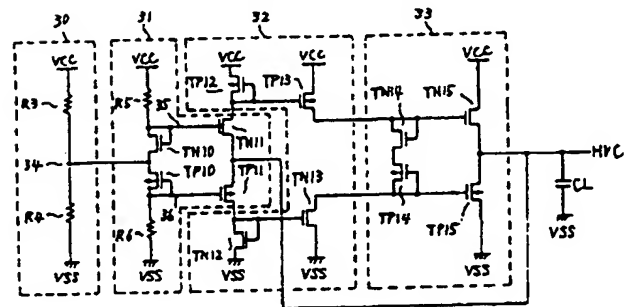
第17図



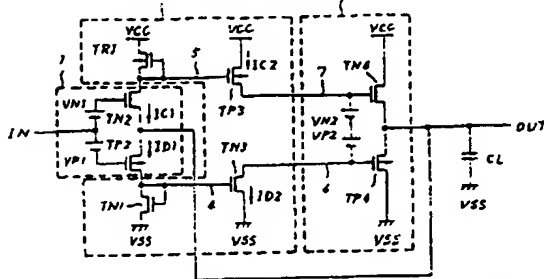
第19図



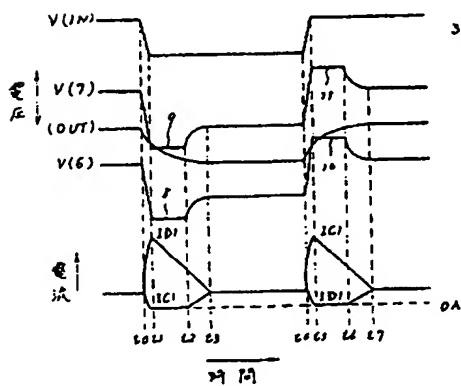
第20図 (a)



第18図 (a)

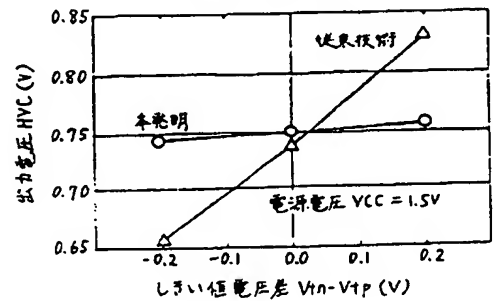


第18図 (b)

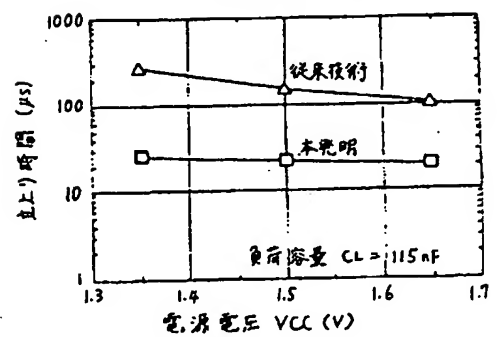


- 1...第一のコンパリアンプ・フッシュアップ回路
- 2...カレントミラー型フッシュアップ増幅回路
- 3...第二のコンパリアンプ・フッシュアップ回路

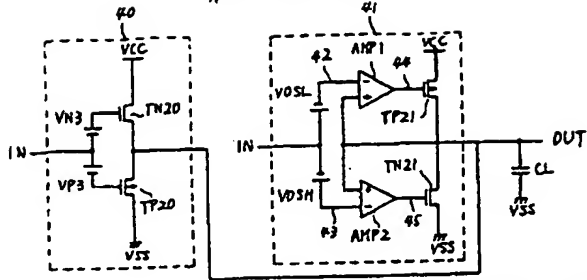
第20図 (b)



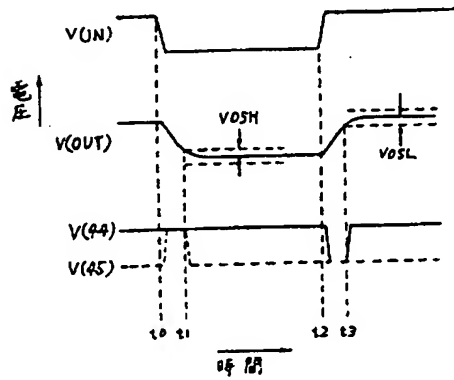
第20図 (c)



第21図 (a)

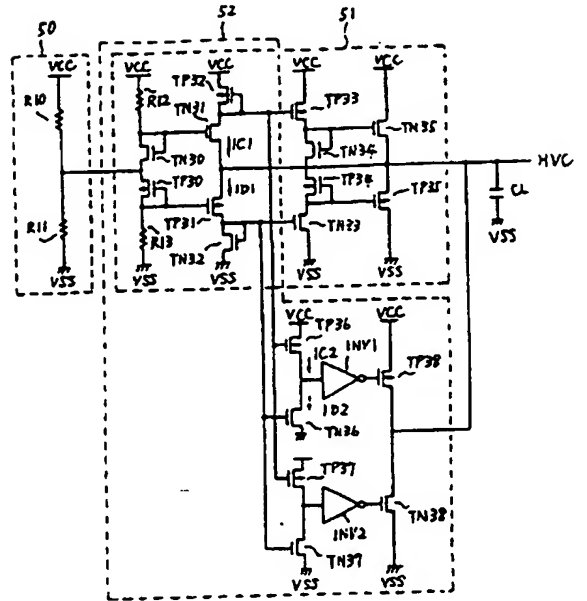


第21図 (b)



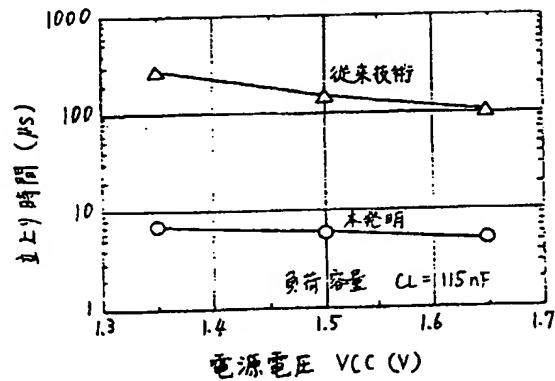
40...第1コンパリアンサ・  
アンプ1のゲート回路  
41...トリスター・バッファ

第22図 (a)

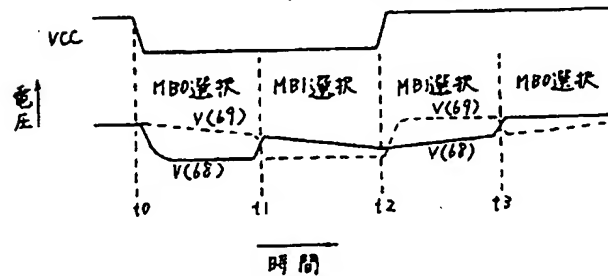


50...基準電圧発生回路  
51...電圧分圧回路  
52...トリスター・バッファ

第22図 (b)



第23図 (b)





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**